

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Kenichi ORIGASA et al.

Serial No.: New Appln

Group Art Unit: Unassigned

Filed: April 8, 2004

Examiner: Unassigned

For: VOLTAGE BOOSTER POWER SUPPLY CIRCUIT

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japan 2003-112248 April 17, 2003

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

PARKHURST & WENDEL, L.L.P.



Roger W. Parkhurst
Registration No. 25,177

April 8, 2004
Date

RWP/klb
Attorney Docket No. YMOR:311
PARKHURST & WENDEL, L.L.P.
1421 Prince Street, Suite 210
Alexandria, Virginia 22314-2805
Telephone: (703) 739-0220

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 7 日
Date of Application:

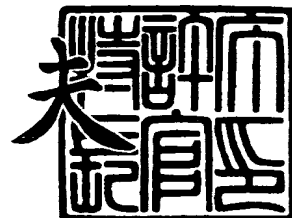
出 願 番 号 特 願 2 0 0 3 - 1 1 2 2 4 8
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 1 2 2 4 8]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 4 年 2 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 3 9 3 7

【書類名】 特許願

【整理番号】 5037640161

【提出日】 平成15年 4月17日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/407

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 折笠 憲一

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 大田 清人

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100113859

【弁理士】

【氏名又は名称】 板垣 孝夫

【電話番号】 06-6532-4025

【選任した代理人】

【識別番号】 100068087

【弁理士】

【氏名又は名称】 森本 義弘

【電話番号】 06-6532-4025

【手数料の表示】

【予納台帳番号】 200105

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 昇圧電源回路

【特許請求の範囲】

【請求項 1】

機能ブロックで使用するための電圧を発生する昇圧電源回路であって、

第 1 および第 2 の電圧とグランド電圧が供給され、前記第 1 の電圧に比べ前記第 2 の電圧は低い電圧であり、前記第 2 の電圧に基づいてタイミング発生回路によってタイミング信号を発生し、前記タイミング信号によって前記第 1 の電圧を昇圧変換して前記機能ブロックで使用する昇圧電圧を発生するよう構成した昇圧電源回路。

【請求項 2】

検知回路と、昇圧回路を有し、

前記昇圧回路は、タイミング発生回路と、レベルシフター回路と、チャージポンプ回路を有し、

前記タイミング発生回路は、前記第 2 の電圧が供給され、前記第 2 の電源の電圧レベルのタイミング信号を前記レベルシフター回路に出力し、

前記レベルシフター回路は、前記第 1 の電源の電圧レベルのタイミング信号を前記チャージポンプ回路に出力し、

前記チャージポンプ回路は、前記第 1 の電源が供給されてこれを前記第 1 の電源の電圧レベルのタイミング信号に応じて昇圧電圧を発生し、

前記検知回路は前記昇圧電圧を検知して前記タイミング発生回路を活性化するよう構成した

請求項 1 に記載の昇圧電源回路。

【請求項 3】

検知回路と、昇圧回路を有し、

前記検知回路は、電圧変換回路と、基準電圧発生回路と、比較回路を有し、

前記電圧変換回路は、前記機能ブロックで使用する電圧を降圧した第 1 の基準電圧を発生し、

前記基準電圧発生回路は、前記第 1 の電圧を所定の電圧に降圧した第 2 の基準

電圧を発生し、

前記比較回路は、前記第 1 の電圧と、前記第 2 の基準電圧を比較して、前記第 1 の基準電圧が前記第 2 の基準電圧より低い場合に前記複数の昇圧回路を活性化し、前記第 1 の基準電圧が前記第 2 の基準電圧より高い場合に前記昇圧回路を非活性にするよう構成した

請求項 1 に記載の昇圧電源回路。

【請求項 4】

前記基準電圧発生回路は、電氣的フューズで構成される発生電圧調整手段を有し、この発生電圧調整手段によって前記第 2 の基準電圧を調整することで前記機能ブロックで使用する電圧を調整するよう構成した

請求項 3 に記載の昇圧電源回路。

【請求項 5】

第 1 および第 2 の電圧とグランド電圧が供給され、前記第 1 の電圧に比べ前記第 2 の電圧は低い電圧であり、前記第 1 の電圧を変換して前記機能ブロックで使用する電圧を発生する昇圧電源回路であって、

検知回路と、昇圧回路を有し、

前記検知回路は、電圧変換回路と、基準電圧発生回路と、比較回路および降圧回路を有し、

前記降圧回路は、前記機能ブロックへの電圧が所定の電圧より高い場合に、比較回路から前記電圧変換回路へ入力される第 1 の基準電圧を前記機能ブロックへの電圧が降圧される方向に制御するように構成した

昇圧電源回路。

【請求項 6】

前記降圧回路は、トランジスタで構成され、前記トランジスタのゲートには前記第 2 の基準電圧が供給され、ソースには前記機能ブロックへの昇圧電圧の電源線が、ドレインには前記第 1 の電源より低い電圧の電源線が接続した

請求項 5 に記載の昇圧電源回路。

【請求項 7】

前記降圧回路は、オペアンプとゲートが前記オペアンプの出力に接続されたト

ランジスタで構成され、

前記オペアンプには、前記第 1 の基準電圧および前記第 2 の基準電圧が入力され、

前記トランジスタのソースは、前記機能ブロックへの昇圧電圧の電源線に接続され、

前記トランジスタのドレインは前記第 1 の電圧より低い電圧の電源線に接続した

請求項 5 に記載の昇圧電源回路。

【請求項 8】

前記トランジスタのドレインを、前記第 2 の電源の電源線に接続した請求項 6 または請求項 7 に記載の昇圧電源回路。

【請求項 9】

前記トランジスタのドレインを、グランド電圧線に接続した請求項 6 または請求項 7 に記載の昇圧電源回路。

【請求項 1 0】

前記第 2 の基準電圧は、前記機能ブロックへの昇圧電圧より前記電圧変換回路の負荷と直列接続されたダイオードのしきい値電圧程度だけ低いことを特徴とする

請求項 6 に記載の昇圧電源回路。

【請求項 1 1】

前記電圧変換回路は、トランジスタと負荷で構成され、

前記トランジスタをダイオード接続し、ドレインに負荷が接続され、前記負荷はグランド電圧端子に接続され、ソースに前記昇圧電圧が供給され、前記トランジスタのドレインと前記負荷との接続点より前記第 1 の基準電圧を出力する

請求項 1 0 に記載の昇圧電源回路。

【請求項 1 2】

前記タイミング信号を前記第 1 の電圧にレベル変換したタイミング信号によって駆動されて前記昇圧電圧を発生するチャージポンプ回路を有し、

チャージポンプ回路は、複数のトランジスタで構成され、前記複数のトランジ

スタの基板には、おおむね前記第 2 の電圧を供給した
請求項 1 に記載の昇圧電源回路。

【請求項 13】

前記第 1 の電圧は、前記機能ブロックが外部とのデータの授受を行う I/O
ブロックに供給される電源の電圧に等しいことを特徴とする
請求項 1 に記載の昇圧電源回路。

【請求項 14】

前記第 2 の電圧は、前記機能ブロックに供給される電源の電圧に等しいことを
特徴とする
請求項 1 に記載の昇圧電源回路。

【請求項 15】

前記機能ブロックは、ダイナミック・ランダム・アクセスメモリーを有するこ
とを特徴する
請求項 1 に記載の昇圧電源回路。

【請求項 16】

前記タイミング発生回路を構成するトランジスタのゲート酸化膜の膜厚を、前
記チャージポンプ回路を構成するトランジスタのゲート酸化膜の膜厚よりも薄く
した
請求項 2 に記載の昇圧電源回路。

【請求項 17】

機能ブロックで使用するための電圧を発生する昇圧電源回路であって、
第 1 および第 2 の電圧とグラウンド電圧が供給され、前記第 1 の電圧に比べ前記
第 2 の電圧は低い電圧であり、前記第 2 の電圧に基づいてタイミング発生回路に
よってタイミング信号を発生し、前記タイミング信号によって前記第 1 の電圧を
変換して前記機能ブロックで使用する電圧を発生するよう構成するとともに、
検知回路と、昇圧回路を有し、
前記昇圧回路は、タイミング発生回路と、レベルシフター回路と、チャージポ
ンプ回路を有し、
前記タイミング発生回路は、前記第 2 の電圧が供給され、前記第 2 の電源の電

圧レベルのタイミング信号を前記レベルシフター回路に出力し、

前記レベルシフター回路は、前記第1の電源の電圧レベルのタイミング信号を前記チャージポンプ回路に出力し、

前記チャージポンプ回路は、前記第1の電源が供給されて前記第1の電源の電圧レベルのタイミング信号に応じて昇圧電圧を発生し、

前記タイミング発生回路はオシレーターを有し、

前記検知回路が前記昇圧電圧の出力が所定の電圧より低下したことを検知した場合に、前記オシレーター、前記チャージポンプ回路を活性化し、前記オシレーターが定常的にクロック信号を発生する前に前記チャージポンプ回路を駆動するよう構成した

昇圧電源回路。

【請求項18】

前記タイミング発生回路は、分周回路を有し、前記検知回路が前記昇圧電圧が所定の電圧より低下したことを検知した場合に、前記オシレーターを活性化すると同時に前記分周回路をセットし、前記オシレーターが定常的にクロック信号を発生する前に、前記チャージポンプ回路を活性化し、前記検知回路が前記昇圧電圧が所定の電圧より上昇したことを検知した場合に、前記オシレーターを停止し、前記分周回路をリセットするよう構成した

請求項17に記載の昇圧電源回路。

【請求項19】

前記分周回路を、リセット端子、およびセット端子を有する複数のDフリップフロップまたはTフリップフロップで構成した

請求項18に記載の昇圧電源回路。

【請求項20】

前記機能ブロックはメモリー回路を有し、前記トランジスタのしきい値は、前記メモリー回路で使用するトランジスタのしきい値と同程度であることを特徴とする

請求項6に記載の昇圧電源回路。

【請求項21】

前記機能ブロックは論理回路を有し、前記トランジスタ1600のしきい値は、前記論理回路を構成するトランジスタのしきい値と同程度であることを特徴とする

請求項7に記載の昇圧電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路により構成される機能ブロック（例えばメモリー装置）に必要な電圧を発生する昇圧回路に関するものである。

【0002】

【従来の技術】

従来の昇圧回路は、外部電源として1電源を供給している。発生する電圧が外部電源の電圧の2倍以上必要な場合は、3倍昇圧などの構成を用いている。また、外部電源の電圧が比較的高い場合には、昇圧回路全体を比較的ゲート酸化膜の厚いトランジスタで構成する（例えば、特許文献1参照）。

【0003】

【特許文献1】

特開2001-250381号

【0004】

【発明が解決しようとする課題】

従来の昇圧回路は、外部電源として1電源を供給している。この構成の場合、外部電源の電圧が低いと十分な供給能力を得ることが難しい。3段昇圧などを用いることで供給電圧を達成することが可能であるが、電流変換効率のロスが大きくなる。

【0005】

また、外部電源の電圧が十分高い場合においては、昇圧回路全体を比較的ゲート酸化膜の厚いトランジスタで構成する必要がある、回路面積の増大につながる。さらにまた外部電源の電圧が十分高い場合においては、さらに構成するトランジスタの耐圧に対して過昇圧の問題が生じ、製品の寿命を縮める場合がある。

【0006】

本発明は、上記従来の課題点を解決するもので、大規模半導体集積回路であるシステム・オン・チップ（SOC）に供給される複数の電源を用いて、十分な電圧供給能力を有しながら、回路面積を増大させない構成を実現することを目的とする。

【0007】

また、外部電圧が必要以上に高い場合でも、トランジスタの耐圧に対して過昇圧の問題がない構成を提供することを目的とする。

【0008】

【課題を解決するための手段】

この課題を達成するために、本発明の昇圧電源回路は、機能ブロックで使用するための電圧を発生する昇圧電源回路であって、第1および第2の電圧とグランド電圧が供給され、前記第1の電圧に比べ前記第2の電圧は低い電圧であり、前記第2の電圧に基づいてタイミング発生回路によってタイミング信号を発生し、前記タイミング信号によって前記第1の電圧を昇圧変換して前記機能ブロックで使用する昇圧電圧を発生するよう構成したことを特徴とする。

【0009】

この構成によると、第1および第2の電圧を用いて、第2の電圧よりも高い第1の電圧を昇圧しているので、従来のように第2の電圧だけを用いてこれを昇圧している構成に比べて、効率の向上を期待できる。

【0010】

また、一例として前記昇圧電源回路は、検知回路と、昇圧回路を有し、前記昇圧回路は、タイミング発生回路と、レベルシフター回路と、チャージポンプ回路を有し、前記タイミング発生回路は、前記第2の電圧が供給され、前記第2の電源の電圧レベルのタイミング信号を前記レベルシフター回路に出力し、前記レベルシフター回路は、前記第1の電源の電圧レベルのタイミング信号を前記チャージポンプ回路に出力し、前記チャージポンプ回路は、前記第1の電源が供給されてこれを前記第1の電源の電圧レベルのタイミング信号に応じて昇圧電圧を発生し、前記検知回路は前記昇圧電圧を検知して前記タイミング発生回路を活性化す

るよう構成したことを特徴とする。

【0011】

この構成により、最適な電圧を、本発明の昇圧電源回路の内部ブロックの最適なブロックに供給することで、十分な電圧発生能力を得ながら、回路面積を増加させない構成を実現できる。

【0012】

また、一例として前記昇圧電源回路は、検知回路と、昇圧回路を有し、前記検知回路は、電圧変換回路と、基準電圧発生回路と、比較回路を有し、前記電圧変換回路は、前記機能ブロックで使用する電圧を降圧した第1の基準電圧を発生し、前記基準電圧発生回路は、前記第1の電圧を所定の電圧に降圧した第2の基準電圧を発生し、前記比較回路は、前記第1の電圧と、前記第2の基準電圧を比較して、前記第1の基準電圧が前記第2の基準電圧より低い場合に前記複数の昇圧回路を活性化し、前記第1の基準電圧が前記第2の基準電圧より高い場合に前記昇圧回路を非活性にするよう構成したことを特徴とする。

【0013】

さらに、前記基準電圧発生回路は、電氣的フューズで構成される発生電圧調整手段を有し、この発生電圧調整手段によって前記第2の基準電圧を調整することで前記機能ブロックで使用する電圧を調整するよう構成したことによって、第2の電圧をフューズなどの調整手段により、第2の基準電圧を調整することが比較的容易に実現が可能な構成とすることができ、製造によるばらつきを補正できる。

【0014】

また、一例として前記昇圧電源回路は、第1および第2の電圧とグランド電圧が供給され、前記第1の電圧に比べ前記第2の電圧は低い電圧であり、前記第1の電圧を変換して前記機能ブロックで使用する電圧を発生する昇圧電源回路であって、検知回路と、昇圧回路を有し、前記検知回路は電圧変換回路と、基準電圧発生回路と、比較回路および降圧回路を有し、前記降圧回路は、前記機能ブロックへの電圧が所定の電圧より高い場合に、比較回路から前記電圧変換回路へ入力される第1の基準電圧を前記機能ブロックへの電圧が降圧される方向に制御する

ように構成したことを特徴とする。

【0015】

さらにこの構成では、前記降圧回路は、トランジスタで構成され、前記トランジスタのゲートには前記第2の基準電圧が供給され、ソースには前記機能ブロックへの昇圧電圧の電源線が、ドレインには前記第1の電源より低い電圧の電源線が接続したことを特徴とする。

【0016】

また、前記機能ブロックはメモリー回路を有し、前記トランジスタのしきい値は、前記メモリー回路で使用するトランジスタのしきい値と同程度であることを特徴とする。

【0017】

また、前記降圧回路は、オペアンプとゲートが前記オペアンプの出力に接続されたトランジスタで構成され、前記オペアンプには、前記第1の基準電圧および前記第2の基準電圧が入力され、前記トランジスタのソースは、前記機能ブロックへの昇圧電圧の電源線に接続され、前記トランジスタのドレインは前記第1の電圧より低い電圧の電源線に接続したことを特徴とする。

【0018】

また、前記機能ブロックは論理回路を有し、前記トランジスタ1600のしきい値は、前記論理回路を構成するトランジスタのしきい値と同程度であることを特徴とする。

【0019】

この構成により、前記昇圧電源回路の出力部が高い電圧を発生する場合に、供給される外部電圧によっては高すぎる電圧を発生する場合があるが、これを降圧回路により降圧することで不必要に電圧を上昇しすぎることがなく、前記昇圧電源回路の出力が供給されるブロックを構成する素子が破壊させることを防止し、寿命を縮めることがない。

【0020】

さらに、前記トランジスタのドレインを、前記第2の電源の電源線に接続したことを特徴とする。この構成により、不必要な電荷を前記第2の電源で使用する

ことで、電荷を再利用できる。

【0021】

また、前記トランジスタのドレインを、グランド電圧線に接続したことを特徴とする。この構成により、トランジスタのソース・ドレイン間の電位差が大きくなり、降圧回路の能力を十分にできる。

【0022】

また、前記第2の基準電圧は、前記機能ブロックへの昇圧電圧より前記電圧変換回路の負荷と直列接続されたダイオードのしきい値電圧程度だけ低いことを特徴とする。

【0023】

さらに、前記電圧変換回路は、トランジスタと負荷で構成され、前記トランジスタをダイオード接続し、ドレインに負荷が接続され、前記負荷はグランド電圧端子に接続され、ソースに前記昇圧電圧が供給され、前記トランジスタのドレインと前記負荷との接続点より前記第1の基準電圧を出力することを特徴とする。

【0024】

また、前記タイミング信号を前記第1の電圧にレベル変換したタイミング信号によって駆動されて前記昇圧電圧を発生するチャージポンプ回路を有し、チャージポンプ回路は、複数のトランジスタで構成され、前記複数のトランジスタの基板には、おおむね前記第2の電圧を供給したことを特徴とする。

【0025】

この構成では、チャージポンプ回路を構成するトランジスタの各端子の電圧は、最大2×第1の電圧まで上昇するが、基板電圧に対して電圧差が大きくなり耐圧の問題が生ずる。この構成によれば、基板電圧をある程度高く設定することでチャージポンプ回路を構成するトランジスタの基板－各電圧間の電圧差を緩和できる。

【0026】

また、前記第1の電圧は、前記機能ブロックが外部とのデータの授受を行うI/Oブロックに供給される電源の電圧に等しいことを特徴とする。この構成により、一般的に供給されるI/Oブロックの電圧（例えば、3.3ボルトや2.

5ボルト、1.8ボルトなど)を用いることで、十分な電圧供給能力を得ることが可能となるし、本発明による昇圧電源回路専用に電圧を供給する必要がない。

【0027】

また、前記第2の電圧は、前記機能ブロックに供給される電源の電圧に等しいことを特徴とする。この構成により、本発明による昇圧電源回路専用に電圧を供給する必要がない。

【0028】

また、前記機能ブロックは、ダイナミック・ランダム・アクセスメモリーを有することを特徴する。

また、前記タイミング発生回路を構成するトランジスタのゲート酸化膜の膜厚を、前記チャージポンプ回路を構成するトランジスタのゲート酸化膜の膜厚よりも薄くしたことを特徴とする。

【0029】

この構成によれば、一般的に高密度に配置可能な比較的膜厚の薄いトランジスタ(例えば2.6nmの膜厚)で構成し、高い電圧が必要な部分を比較的低密度になる比較的膜厚の厚いトランジスタで構成することで耐圧を確保して、能力を確保しながら、面積を小さくできる。

【0030】

本発明による昇圧電源回路は、機能ブロックで使用するための電圧を発生する昇圧電源回路であって、第1および第2の電圧とグランド電圧が供給され、前記第1の電圧に比べ前記第2の電圧は低い電圧であり、前記第2の電圧に基づいてタイミング発生回路によってタイミング信号を発生し、前記タイミング信号によって前記第1の電圧を変換して前記機能ブロックで使用する電圧を発生するように構成するとともに、検知回路と、昇圧回路を有し、前記昇圧回路は、タイミング発生回路と、レベルシフター回路と、チャージポンプ回路を有し、前記タイミング発生回路は、前記第2の電圧が供給され、前記第2の電源の電圧レベルのタイミング信号を前記レベルシフター回路に出力し、前記レベルシフター回路は、前記第1の電源の電圧レベルのタイミング信号を前記チャージポンプ回路に出力し、前記チャージポンプ回路は、前記第1の電源が供給されて前記第1の電源の電

圧レベルのタイミング信号に応じて昇圧電圧を発生し、前記タイミング発生回路は、オシレーターを有し、前記検知回路が前記昇圧電圧の出力が所定の電圧より低下したことを検知した場合に、前記オシレーター、前記チャージポンプ回路を活性化し、前記オシレーターが定常的にクロック信号を発生する前に前記チャージポンプ回路を駆動するよう構成したことを特徴とする。

【0031】

この構成によれば、電圧の発生が必要な場合に、一般的に用いられているオシレーターを活性化し、連続的な電圧供給を行うまでに、第1回目の電圧ポンピングを、オシレーターの活性化の前に実現することで、一時的に電圧化が低下することを防ぐことができる。

【0032】

また、前記タイミング発生回路は、分周回路を有し、前記検知回路が前記昇圧電圧が所定の電圧より低下したことを検知した場合に、前記オシレーターを活性化すると同時に前記分周回路をセットし、前記オシレーターが定常的にクロック信号を発生する前に、前記チャージポンプ回路を活性化し、前記検知回路が前記昇圧電圧が所定の電圧より上昇したことを検知した場合に、前記オシレーターを停止し、前記分周回路をリセットするよう構成したことを特徴とする。

【0033】

さらに、前記分周回路を、リセット端子、およびセット端子を有する複数のDフリップフロップまたはTフリップフロップで構成したことを特徴とする。

【0034】

【発明の実施の形態】

以下、本発明の各実施の形態を図1～図17に基づいて説明する。

（実施の形態1）

図1～図13は本発明の（実施の形態1）を示す。

【0035】

図1は本発明の（実施の形態1）における昇圧電源回路が搭載される大規模半導体集積回路であるシステム・オン・チップ（SOC）のブロック図を示している。

【0036】

101はダイチップ、102は論理回路、103はメモリー回路、104は本発明の対象となっている昇圧電源回路、105はリードフレーム、106はワイヤーボンド、107はI/O、108は接続用パッド、VDD3は第1の電圧としての昇圧電源用電圧、VDDMは第2の電圧としてのメモリー用電圧、VDDLは論理回路用電圧、VDDIOはI/O用電圧、VSSはグランド電圧、VPPは昇圧電圧である。

【0037】

I/O107には多数の接続用パッド108が配置されている。リードフレーム105は多数の接続端子を有する。リードフレーム105の多数の接続端子は、必要に応じてダイチップ101上の接続用パッド108と、ワイヤーボンド106によって電氣的に接続されている（図1ではリードフレーム105の接続端子は一部省略されている）。

【0038】

論理回路102には論理回路用電圧VDDLが供給され、メモリー103にはメモリー用電圧VDDMが供給され、昇圧電源回路104には昇圧電源用電圧VDD3が供給され、I/O107にはI/O用電圧VDDIOが接続されている。それぞれのブロックはまたグランド電位VSSに接続されている。

【0039】

昇圧電源回路104は昇圧電圧VPPを出力し、昇圧電圧VPPはメモリー103の内部回路に供給される。メモリー103から複数の制御信号が出力され昇圧電源回路104に接続される。

【0040】

一般的に、I/O用電圧VDDIOは、メモリー用電圧VDDMおよび論理回路用電圧VDDLより高い電圧である。

また、昇圧電源用電圧VDD3は同様に高い電圧であり、I/O用電圧VDDIOと同じ電圧であってもよい。この場合、昇圧電源回路104用に電源供給をする必要がない。

【0041】

また、メモリー用電圧VDDMと論理回路用電圧VDDLが同じ電圧であってもよい。この場合、メモリー103および昇圧電源回路104に電源供給をする必要がない。

【0042】

また、メモリー103および昇圧電源回路104にはメモリー用電圧VDDMが共通に接続される構成となっているが、昇圧電源回路104に別途メモリー用電圧VDDMに対応する電圧を供給してもよい。

【0043】

また、これらメモリー用電圧VDDMは、別途レギュレーター回路を用いてI/O用電圧VDDIOもしくは昇圧電源用電圧VDD3を降圧したものであってもよい。

【0044】

図2は、前記メモリー103の内部回路の一例である一般的なDRAM（ダイナミックランダムアクセスメモリ）のメモリアレイの回路図を示している。

WLはワード線、BLはビット線、200はメモリセル、VCPはセルプレート電圧、201はワードドライバー、202はロウデコーダー、203はアクセストランジスタ、204はキャパシタ、205は制御信号である。

【0045】

メモリセル200は、アクセストランジスタ203と、キャパシタ204で構成され、アクセストランジスタ203にはワード線WL、ビット線BLが接続されている。ビット線BLには微小な電圧を増幅するためアンプに接続される。ワード線WLにはビット線BLの電圧をキャパシタ204に十分に蓄積するためにビット線BLの電位よりも高い電圧が印加される。ビット線BLにはアンプを介してメモリー用電圧VDDMが供給され、ワード線WLにはワードドライバー201を介して昇圧電圧VPPが供給される。ワードドライバー201はロウデコーダー202に接続され、制御信号205に基づいて制御されている。

【0046】

図3は前記昇圧電源回路104を示している。

301はメイン昇圧回路、302はサブ昇圧回路、303は検知回路、304

はAND素子、ENVPPMはメイン昇圧活性信号、ENVPPSはサブ昇圧活性信号、NTESTVPPはテストモード信号、ACTVPPはメモリー活性信号である。

【0047】

メイン昇圧回路301、サブ昇圧回路302、検知回路303には、メモリー用電圧VDDMおよび昇圧電源用電圧VDD3が供給される。メイン昇圧回路301およびサブ昇圧回路302は、昇圧電圧VPPを出力し、検知回路303にはその昇圧電圧VPPが入力される。また検知回路303はサブ昇圧活性信号ENVPPSを出力する。サブ昇圧活性信号ENVPPSはサブ昇圧回路302に接続される。サブ昇圧活性信号ENVPPSおよびメモリー活性信号ACTVPPがAND素子304に入力され、AND素子304の出力であるメイン昇圧活性信号ENVPPMはメイン昇圧回路301に接続される。テストモード信号NTESTVPPはサブ昇圧回路302およびメイン昇圧回路301に接続される。

【0048】

図4は検知回路303を示している。

400は電圧変換回路、401は基準電圧発生回路、402は比較回路、403はインバーター、VPPMVTはVPP依存電圧（第1の基準電圧）、VINTは基準電圧（第2の基準電圧）、NENVPP3は比較結果信号である。

【0049】

電圧変換回路400は、昇圧電圧VPPが供給されVPP依存電圧VPPMVTを出力する。基準電圧発生回路401は、昇圧電源用電圧VDD3が供給され基準電圧VINTを出力する。VPP依存電圧VPPMVTと基準電圧VINTは比較回路402に入力され、出力として比較結果信号NENVPP3が出力される。比較回路402にはさらにメモリー活性信号ACTVPPが接続される。またインバーター403には比較結果信号NENVPP3が入力され、出力はサブ昇圧活性信号ENVPPSである。またインバーター403にはメモリー用電圧VDDMが供給されるが、構成されるトランジスタのゲート酸化膜の厚さはI/Oブロック等で使用される比較的厚い膜厚のものが用いられる。

【0050】

図5は図3の前記メイン昇圧回路301およびサブ昇圧回路302を示している。

メイン昇圧回路301およびサブ昇圧回路302は同様の構成であって良く、必要に応じてトランジスタのゲート長、ゲート幅のサイズ等が異なる。501はタイミング発生回路、502はバッファブロック、503はチャージポンプ回路、MG1～MG4はメモリー用電圧VDDMにより駆動されるタイミング信号、M3G1～M3G4は昇圧電源用電圧VDD3により駆動されるタイミング信号である。

【0051】

タイミング発生回路501にはメモリー用電圧VDDM、バッファブロック502およびチャージポンプ回路503には、メモリー用電圧VDDMと昇圧電源用電圧VDD3が供給される。タイミング発生回路501にはテストモード信号NTESTVPPが供給され、さらにメイン昇圧回路301のタイミング発生回路501にはメイン昇圧活性信号ENVPPMが供給され、同様にサブ昇圧回路302のタイミング発生回路501にはサブ昇圧活性信号ENVPPSが接続されている。タイミング発生回路501はタイミング信号MG1～MG4を発生し、バッファブロック502はそれを受けてタイミング信号M3G1～M3G4を発生する。チャージポンプ回路503にはタイミング信号M3G1～M3G4が入力され、昇圧電圧VPPを発生する。

【0052】

図6は図4の前記電圧変換回路400を示している。

600はPチャネルトランジスタ、601は負荷である。Pチャネルトランジスタ600のソースおよび基板には昇圧電圧VPPが供給され、ゲートおよびドレインは接続されVPP依存電圧VPPMVTを出力する。Pチャネルトランジスタ600はいわゆるダイオード接続の構成をなす。Pチャネルトランジスタ600のゲートおよびドレインは負荷601に接続され、負荷601はさらにグラウンド電圧に接続される。ここで、Pチャネルトランジスタ600としたが、Nチャネルトランジスタのダイオード接続であってもよい。

【0053】

図7は図4の前記基準電圧発生回路401を示している。

700は差動増幅回路、701はPチャネルトランジスタ、702は抵抗素子群、703はフューズ素子、VREFはリファレンス電圧、VINTREFはVINT依存電圧である。

【0054】

リファレンス電圧VREFはメモリー103より供給される基準電圧である。メモリー103内において一般的な基準電圧発生回路により発生される。差動増幅回路700も一般的な構成であり、差動入力にはリファレンス電圧VREFおよびVINT依存電圧VINTREFが入力される。差動増幅回路700の出力はPチャネルトランジスタ701のゲートに接続され、ソースはメモリー用電圧VDDMに接続され、ドレインは基準電圧VINTを出力する。基準電圧VINTは抵抗素子群702によって分圧され、分圧されたVINT依存電圧VINTREFは前述のように差動増幅回路700の差動入力に接続される。このように差動増幅回路700は負帰還の構成をなす。抵抗素子群702には基準電圧VINTが所定の電圧となるような分圧比でVINT依存電圧VINTREFが供給され、さらにこのシステム・オン・チップが製造された後に調整が可能なようにフューズ素子703が抵抗素子群702の抵抗素子に並列に接続される。

【0055】

図8は図4の前記比較回路402を示している。

800, 801, 802は差動増幅回路、803, 804, 805は電流源、806はインバーター群、807はノイズ防止回路、808, 809はNチャネルトランジスタ、810は差動増幅回路の出力である。

【0056】

差動増幅回路800, 801の2対の差動入力には基準電圧VINTおよびVPP依存電圧VPPMVTが接続される。その2対の差動入力は逆の極性となるように接続される。差動増幅回路800, 801の出力はさらに差動増幅回路802の差動入力に接続され、出力810を出力する。差動増幅回路の出力810の極性は基準電圧VINTに比べVPP依存電圧VPPMVTが低くなった場合

に、差動増幅回路の出力 810 が低い電圧となるように設定している。このように 2 段階増幅の構成としている。

【0057】

さらに、各差動増幅回路 800, 801, 802 の電流源である 803, 804, 805 は、N チャネルトランジスタ 808 と、それより電流駆動能力の高い N チャネルトランジスタ 809 の並列接続で構成される。N チャネルトランジスタ 808 はゲートが昇圧電源用電圧 VDD3 に接続されており、常時活性となっている。

【0058】

N チャネルトランジスタ 809 はゲートがメモリー活性信号 ACTVPP に接続されており、メモリー活性信号 ACTVPP に応じて活性・非活性となる。インバーター群 806 は偶数段のインバーターの接続により構成される。初段の出力には、ノイズ防止のためシュミット回路構成をなすようにノイズ防止回路 807 である P チャネルトランジスタの出力が接続される。ノイズ防止回路 807 である P チャネルトランジスタのゲートは次段の出力が接続される。インバーター群 806 には差動増幅回路の出力 810 が入力され、比較結果信号 NENVPP3 を出力する。各回路には電源として昇圧電源用電圧 VDD3 が供給される。

【0059】

図 9 は図 5 の前記タイミング発生回路 501 を示している。

このタイミング発生回路 501 には前述のように電源としてメモリー用電圧 VDDM のみが供給され、内部の素子に供給される。すなわちタイミング発生回路 501 内においてはメモリー用電圧 VDDM の耐圧に耐えうる比較的ゲート長が短いトランジスタが用いられる。

【0060】

900 はワンショット回路、901 はオシレーター、902, 903, 904 は D フリップフロップ、905 はクロック選択スイッチ部、PPTIM はポンピング周期信号、906 ~ 910 は NOR 素子、911, 916 はインバーター、912 ~ 914 は遅延素子、915 は NAND 素子、950 は分周回路である。

【0061】

タイミング発生回路 501 がメイン昇圧回路 301 内に配置される場合、ワンショット回路 900 にはメイン昇圧活性信号 ENVPPM が、サブ昇圧回路 302 内に配置される場合、ワンショット回路 900 にはサブ昇圧活性信号 ENVPPS がそれぞれ接続される。また、同様にメイン昇圧活性信号 ENVPPM もしくはサブ昇圧活性信号 ENVPPS がオシレーター 901 に入力される。オシレーター 901 は所定の周期でパルス信号を発生する一般的なものであり、例えばインバーターのチェーン構成である。

【0062】

分周回路 950 は、複数の D フリップフロップで構成され、D フリップフロップ 902 の D 入力には D フリップフロップ 902 の逆極性出力が、クロック入力 CK にはオシレーター 901 の発生するパルス信号が入力される。D フリップフロップ 902 のセット信号 S は逆極性であり、ワンショット回路 900 の出力が接続される。また、D フリップフロップ 902 のリセット信号 R は逆極性であり、メイン昇圧活性信号 ENVPPM もしくはサブ昇圧活性信号 ENVPPS が接続される。D フリップフロップ 903, 904 の接続はクロック入力 CK が D フリップフロップ 902, 903 の出力となっている点を除いて、D フリップフロップ 902 と同様である。ポンピング周期信号 PPTIM と、各 D フリップフロップ 902, 903, 904 の出力の間にはクロック選択スイッチ部 905 が設けられており、必要に応じて各 D フリップフロップ 902, 903, 904 の出力のうち 1 つとポンピング周期信号 PPTIM が接続される。ポンピング周期信号 PPTIM と、テストモード信号 NTESTVPP は NOR 素子 906 に入力され、出力はインバーター 911 および NOR 素子 908 に接続される。インバーター 911 の出力は遅延素子 912 に入力される。遅延素子 912 の出力は NOR 素子 907, NAND 素子 915, 遅延素子 913 に入力される。遅延素子 913 の出力は、NOR 素子 907, NAND 素子 915 に入力される。NOR 素子 907 の出力はタイミング信号 MG3 であり、NAND 素子 915 の出力はタイミング信号 MG2 である。タイミング信号 MG2 は NOR 素子 908, 809, 遅延素子 914 に入力され、NOR 素子 809 にはテストモード信号 NTESTVPP が接続される。また NOR 素子 908 の出力はインバーター 916 に

入力される。インバーター 916, NOR素子 809, 遅延素子 914 の出力は NOR素子 910 に入力され、NOR素子 910 の出力はタイミング信号 MG4 である。また NOR素子 909 の出力はタイミング信号 909 である。ここで、902, 903, 904 は D フリップフロップとしたが、T フリップフロップを用いて同様の機能を実現しても何ら問題ない。

【0063】

図 10 は図 5 の前記バッファブロック 502 を示している。

1000 はレベルシフト付バッファ、1001 はレベルシフト、1002 はインバーター群である。

【0064】

バッファブロック 502 に入力されるタイミング信号 MG1 ~ MG4 ごとにレベルシフト付バッファ 1000 が配置され、それぞれのレベルシフト付バッファ 1000 はタイミング信号 M3G1 ~ M3G4 を出力する。レベルシフト付バッファ 1000 はレベルシフト 1001 とインバーター群 1002 で構成される。レベルシフト 1001 は図に示すようにクロスカップル型の構成をなす。レベルシフト 1001 はメモリー用電圧 VDDM のレベルであるタイミング信号 MG1 ~ MG4 を、昇圧電源用電圧 VDD3 にレベルシフトし、その出力はインバーター群 1002 に入力される。インバーター群 1002 には昇圧電源用電圧 VDD3 が供給される。インバーター群 1002 には複数のインバーターが直列に配置され、最終段のインバーターは駆動する負荷であるチャージポンプ回路 503 内に配置されるトランジスタを駆動するのに十分なサイズを有する。

【0065】

図 11 は図 5 の前記チャージポンプ回路 503 を示している。

1100 ~ 1117 は N チャネルトランジスタである。

タイミング信号 M3G1 が N チャネルトランジスタ 1101 のソース、ドレイン、基板に入力され、同様にタイミング信号 M3G2 が N チャネルトランジスタ 1104 のソース、ドレイン、基板に入力され、タイミング信号 M3G3 が N チャネルトランジスタ 1102, 1103 のソース、ドレイン、基板に入力され、タイミング信号 M3G4 が N チャネルトランジスタ 1100, 1105 のソース

，ドレイン，基板に入力される。

【0066】

トランジスタ1108，1109はクロスカップル接続され、各ドレインは昇圧電源用電圧VDD3に接続され、トランジスタ1108のソースはトランジスタ1102のゲートとトランジスタ1109のゲートに接続されている。トランジスタ1109のソースはトランジスタ1105のゲートとトランジスタ1108のゲートに接続されている。トランジスタ1102のゲートには、トランジスタ1107が昇圧電源用電圧VDD3よりダイオード接続されている。トランジスタ1105のゲートには、トランジスタ1110が昇圧電源用電圧VDD3よりダイオード接続されている。

【0067】

さらに、トランジスタ1102のゲートにはトランジスタ1106のゲートが接続され、トランジスタ1105のゲートにはトランジスタ1111のゲートが接続されている。

【0068】

同様にトランジスタ1100，1103のゲートに対しトランジスタ1112～1117が同様に接続されている。詳しくは、トランジスタ1114，1115はクロスカップル接続され、各ドレインは昇圧電源用電圧VDD3に接続され、トランジスタ1114のソースはトランジスタ1100のゲートとトランジスタ1115のゲートに接続されている。トランジスタ1115のソースはトランジスタ1103のゲートとトランジスタ1114のゲートに接続されている。トランジスタ1100のゲートには、トランジスタ1113が昇圧電源用電圧VDD3よりダイオード接続されている。トランジスタ1103のゲートには、トランジスタ1116が昇圧電源用電圧VDD3よりダイオード接続されている。

【0069】

さらに、トランジスタ1100のゲートにはトランジスタ1112のゲートが接続され、トランジスタ1103のゲートにはトランジスタ1117のゲートが接続されている。

【0070】

トランジスタ 1106, 1111 のソースは昇圧電源用電圧 V_{DD3} に接続され、ドレインはそれぞれトランジスタ 1112, 1117 のソースに接続されている。トランジスタ 1112, 1117 のソースにはさらにトランジスタ 1101, 1104 のゲートが接続されている。トランジスタ 1112, 1117 のドレインからは昇圧電圧 V_{PP} を出力する。

【0071】

トランジスタ 1100～1117 は P タイプ基板よりトリプルウェル構造で分離されており、基板の電位を個々に設定することか可能である。トランジスタ 1106～1117 の基板は通常 N チャネルトランジスタの基板電位であるグランド電圧 V_{SS} ではなく、高めの電圧であるメモリー用電圧 V_{DDM} が接続されている。

【0072】

このように構成された本発明の一実施形態における昇圧電源回路について、以下にその動作を説明する。

V_{PP} 依存電圧 V_{PPMVT} の電圧は、昇圧電圧 V_{PP} より図 6 に示す電圧変換回路 400 における前記トランジスタ 600 の電圧降下分だけ低い電圧となる。一方、基準電圧 V_{INT} には、基準電圧発生回路 401 によってリファレンス電圧 V_{REF} に比例した電圧が発生する。リファレンス電圧 V_{REF} には外部電圧（昇圧電源用電圧 V_{DD3} およびメモリー用電圧 V_{DDM} ）の実使用範囲において外部電圧に依存しない電圧が望ましく、例えば一般的なバンドギャップリファレンス回路などの出力を用いる。必要に応じて外部電圧に依存する電圧を用いてもよい。

【0073】

基準電圧 V_{INT} に出力される電圧は、抵抗素子群 702 の V_{INT} 依存電圧 V_{INTREF} からグランド電位までの抵抗 R_1 と、基準電圧 V_{INT} までの抵抗 R_2 としたとき、 $(R_2 + R_1) / R_1 \times V_{REF}$ の電圧が発生する。フューズ素子 703 を必要に応じて切断することで、抵抗 R_1 および R_2 の抵抗値を変えることで基準電圧 V_{INT} の電圧を製造後においても任意に変更することが出来る。

【0074】

VPP依存電圧VPPMVTおよび基準電圧VINTは、図4に示したように比較回路402において比較され、基準電圧VINTに比べVPP依存電圧VPPMVTが高い場合は比較結果信号NENVPP3にはハイレベル(=昇圧電源用電圧VDD3)が出力され、低い場合はローレベル(=VSS)が出力される。

【0075】

比較結果信号NENVPP3はインバーター403に入力され、サブ昇圧活性信号ENVPPSが出力され、ハイレベルがメモリー用電圧VDDMとなる。基準電圧VINTに比べVPP依存電圧VPPMVTが低い場合はサブ昇圧活性信号ENVPPSがハイレベルとなる。サブ昇圧活性信号ENVPPSがハイレベルとなった際にメモリー活性信号ACTVPPがハイレベルの場合はメイン昇圧活性信号ENVPPMがハイレベルとなる。メモリー活性信号ACTVPPはメモリー103が活性を開始した際にハイレベルとなる信号である。

【0076】

図12は前記メイン昇圧回路301およびサブ昇圧回路302の主要な信号のタイミング図である。

メイン昇圧活性信号ENVPPM、サブ昇圧活性信号ENVPPSがハイレベルとなった場合、それを受けて図9に示すオシレーター901が活性化し、発振を開始する。ワンショット回路900は、所定の期間のロウパルスが発生する。それを受けてDフリップフロップ902～904は、出力Qにハイレベルが発生する。これによりポンピング周期信号PPTIMが即座にハイレベルとなる。それを受けて、遅延素子912で決まる時間の後にタイミング信号MG3がローレベルとなる。さらに遅延素子913で決まる時間の後にタイミング信号MG2がローレベル、タイミング信号MG1がハイレベルとなる。またさらに遅延素子914で決まる時間の後にタイミング信号MG4がハイレベルとなる。

【0077】

オシレーター901が活性化し、定常的なクロックが発生するまでには一定の時間を必要とするが、Dフリップフロップ902～904の出力をメイン昇圧活

性信号ENVPPM、サブ昇圧活性信号ENVPPSの立ち上がりでセットすることで、検知回路303が検知してすぐにポンピング周期信号PPTIMをハイレベルにすることが出来る。

【0078】

その後、オシレーター901の出力がクロック信号を発生させると、Dフリップフロップ902～904の出力が、オシレーターの出力の2分周、4分周、8分周のクロック信号を発生する。これによりポンピング周期信号PPTIMがクロック信号となる。

【0079】

ポンピング周期信号PPTIMがローレベルになると、即座にタイミング信号MG4がローレベルとなる。さらに遅延素子912で決まる時間の後にタイミング信号MG1がローレベル、タイミング信号MG2がハイレベルとなる。またさらに遅延素子913で決まる時間の後にタイミング信号MG3がハイレベルとなる。メイン昇圧活性信号ENVPPM、サブ昇圧活性信号ENVPPSがハイレベルの機関は上記動作を繰り返す。

【0080】

タイミング信号MG1～4はレベルシフタ付バッファ1000により、昇圧電源用電圧VDD3のレベルに変換され、タイミング信号M3G1～4となり、チャージポンプ回路503に入力される。

【0081】

メイン昇圧活性信号ENVPPM、サブ昇圧活性信号ENVPPSがローレベルとなると、オシレーター901が停止し発振が停止され、Dフリップフロップ902～904がローレベルに固定される。

【0082】

図13はチャージポンプ回路503の動作時の主要ノードの電圧を示している。

タイミング信号M3G3により駆動されるトランジスタ1102のゲートの電圧（図中1102（G））は、トランジスタ1107、1108によって昇圧電源用電圧VDD3にチャージされる。トランジスタ1102のゲートの電圧（図

中 1102 (G) はさらにタイミング信号 M3G3 によってポンプアップされるため、タイミング信号 M3G3 がハイレベルのとき $2 \times V_{DD3}$ 、ローレベルのとき V_{DD3} のレベルの信号となる。タイミング信号 M3G3 のレベルが $2 \times V_{DD3}$ の場合は、トランジスタ 1106 がオンし、トランジスタ 1101 のゲートの電圧 (図中 1101 (G)) は V_{DD3} のレベルとなる。トランジスタ 1100 のゲートの電圧 (図中 1100 (G)) についてもトランジスタ 1102 のゲートの電圧と同様に、タイミング信号 M3G4 のハイレベルのとき $2 \times V_{DD3}$ 、ローレベルのとき V_{DD3} のレベルの信号となる。

【0083】

タイミング信号 M3G3 がローレベルの際に、タイミング信号 M3G1 がハイレベルとなると、トランジスタ 1101 のゲートの電圧は $2 \times V_{DD3}$ のレベルとなる。その後、タイミング信号 M3G4 がハイレベルとなると、トランジスタ 1100 がオンし、昇圧電圧 V_{PP} にトランジスタ 1101 のゲートに蓄積された電荷が流出し、昇圧電圧 V_{PP} の電圧が上昇する。この方式では、すなわち昇圧電圧 V_{PP} を

$2 \times V_{DD3} - (\text{トランジスタ 1100 のしきい値電圧 } V_t (1100))$ まで上昇できる。

【0084】

その後、タイミング信号 M3G4 がローレベルとなると、トランジスタ 1100 がオフし、さらにタイミング信号 M3G1 がローレベルとなる。それを受けてトランジスタ 1101 のゲートの電圧は低い電圧となる。その後タイミング信号 M3G3 がハイレベルとなり、トランジスタ 1101 のゲートの電圧は V_{DD3} の電位まで充電される。

【0085】

上記動作はトランジスタ 1103 ~ 1105 についても同様であり、交互に動作が行われる。

このように、チャージポンプ回路 503 に比較的高い電圧である昇圧電源用電圧 V_{DD3} を用いることで、例えば $V_{DD3} = 2.5$ ボルト、 $V_t (1100) = 0.6$ ボルトの場合、昇圧電圧 V_{PP} は 4.4 ボルトまで昇圧することが可能

となる。

【0086】

例えば、図2に示すようなDRAMの場合、メモリー用電圧VDDMが1.5ボルトであるとする。アクセストランジスタ203のしきい値は一般に0.9ボルト程度であるのでワード線WLには、電荷を十分に書き込むためには1.5ボルト+0.9ボルト=2.4ボルト以上の電圧が必要となり、一般的には2.7ボルト～3.0ボルトを使用する。上記構成により昇圧電圧VPPは十分に電圧を発生することか可能であり、発生できる限界の電圧まで十分にマージンを確保できるので電流能力を確保できる。

【0087】

さらに、トランジスタ1106～1117の基板は通常Nチャネルトランジスタの基板電位であるグランド電圧VSSではなく、高めの電圧であるメモリー用電圧VDDMが接続されているため、グランド電圧VSSの場合はゲート、基板間の電圧が $2 \times VDD3$ であったものが、基板電圧がメモリー用電圧VDDMであるので、ゲート、基板間の電圧が $2 \times VDD3 - VDDM$ と、緩和されており、耐圧が不足して素子が破壊する心配がない。

【0088】

(実施の形態2)

図14と図15は(実施の形態2)を示す。

この(実施の形態2)は(実施の形態1)の図3に示した検知回路303の別の例を示す。その他は(実施の形態1)と同じである。

【0089】

図14は、本発明の(実施の形態2)における検知回路303を示している。

(実施の形態1)と比較して降圧回路1400が接続されている点異なる。降圧回路1400には基準電圧VINTおよび、昇圧電圧VPPが接続される。

【0090】

図15は、降圧回路1400の第1の実施例である。1500はPチャネルトランジスタである。Pチャネルトランジスタ1500のゲートには基準電圧VINTが供給され、ソースには昇圧電圧VPPが、ドレインにはメモリー用電圧V

DDMが接続される。

【0091】

基準電圧 V_{INT} には、設定目標の昇圧電圧 V_{PP} より、トランジスタ 600 の電圧降下分 ($>$ しきい値 V_t) 低い電圧が設定されている。よって、昇圧電圧 V_{PP} の電圧が設定目標の昇圧電圧より高くなりすぎた場合に、トランジスタ 600 はオンし、昇圧電圧 V_{PP} の電荷をメモリー用電圧 V_{DDM} に逃がし、昇圧電圧 V_{PP} の過昇圧を抑える。また P チャネルトランジスタ 1500 のドレインにはグラント電圧 V_{SS} が接続されていてもよい。

【0092】

前記トランジスタ 1500 のしきい値は、メモリー回路 103 で使用する前記トランジスタ 203 のしきい値程度になるよう構成する。

(実施の形態 3)

図 16 と図 17 は (実施の形態 3) を示す。

【0093】

この (実施の形態 3) は (実施の形態 1) の図 3 に示した検知回路 303 の別の例を示す。その他は (実施の形態 1) と同じである。

図 16 は、本発明の (実施の形態 3) における検知回路 303 を示している。

【0094】

(実施の形態 1) と比較して降圧回路 1400 が接続されている点異なる。降圧回路 1400 には基準電圧 V_{INT} および、昇圧電圧 V_{PP} 、 V_{PP} 依存電圧 V_{PPMV_T} が接続される。

【0095】

図 17 は降圧回路 1400 の別の例である。

1600 は P チャネルトランジスタ、1601 はオペアンプである。P チャネルトランジスタ 1500 のゲートにはオペアンプ 1601 の出力が供給され、ソースには昇圧電圧 V_{PP} が、ドレインにはメモリー用電圧 V_{DDM} が接続される。オペアンプ 1601 には、基準電圧 V_{INT} および V_{PP} 依存電圧 V_{PPMV_T} が接続される。

【0096】

この構成によれば、基準電圧 V_{INT} と V_{PP} 依存電圧 $V_{PPMV T}$ の比較結果をオペアンプ 1601 により増幅し、Pチャネルトランジスタ 1600 を制御することで、第1の実施例よりさらに効率的に、昇圧電圧 V_{PP} の電荷をメモリー用電圧 V_{DDM} に逃がし、昇圧電圧 V_{PP} の過昇圧を抑える。またPチャネルトランジスタ 1600 のドレインにはグラウンド電圧 V_{SS} が接続されていてもよい。

【0097】

この実施の形態においては、機能ブロックはメモリー回路 103 であったが、機能ブロックは前記論理回路 102 であってもよく、この場合の前記トランジスタ 1600 のしきい値は、前記論理回路 102 を構成するトランジスタのしきい値程度になるよう構成する。

【0098】

【発明の効果】

以上のように本発明の昇圧電源回路によると、外部より2電源を供給することで、十分な電圧供給能力を得ながら、タイミング発生回路等をゲート酸化膜の薄いトランジスタで構成することでの回路面積を実現できる。

【0099】

また、チャージポンプ回路に供給される電圧が高い場合でも必要に応じて発生電圧を降圧する回路を有し、過昇圧の心配が無く、本発明による昇圧回路を構成するトランジスタならびに接続されるメモリーを構成するトランジスタの寿命を縮める心配がない。

【0100】

さらに、チャージポンプ回路を構成するトランジスタの基板にグラウンド電位より高い電圧を供給することで、チャージポンプ回路を構成するトランジスタに過電圧が印加されることを防いでいる。

【0101】

また、検知回路が昇圧回路の出力を検知して、オシレーターが安定状態に達する前に、チャージポンプ回路を動作させる構成とすることで、昇圧回路の出力が電圧降下を起こすことを防止し、安定な電圧を供給することが出来る。

【図面の簡単な説明】**【図 1】**

本発明の（実施の形態 1）における昇圧電源回路が搭載される大規模半導体集積回路の構成図

【図 2】

同実施の形態のメモリー回路 103 の内部回路の一例である一般的な DRAM（ダイナミックランダムアクセスメモリ）のメモリアレイの回路図

【図 3】

同実施の形態の昇圧電源回路 104 の構成図

【図 4】

同実施の形態の検知回路 303 の構成図

【図 5】

同実施の形態のメイン昇圧回路 301 およびサブ昇圧回路 302 の構成図

【図 6】

同実施の形態の電圧変換回路 400 の構成図

【図 7】

同実施の形態の基準電圧発生回路 401 の構成図

【図 8】

同実施の形態の比較回路 402 の構成図

【図 9】

同実施の形態のタイミング発生回路 501 の構成図

【図 10】

同実施の形態のバッファブロック 502 の構成図

【図 11】

同実施の形態のチャージポンプ回路 503 の構成図

【図 12】

同実施の形態のメイン昇圧回路 301 およびサブ昇圧回路 302 の主要な信号のタイミング図

【図 13】

同実施の形態のチャージポンプ回路 5 0 3 の動作時の主要ノードの電圧波形図

【図 1 4】

本発明の（実施の形態 2）における昇圧電源回路の検知回路 3 0 3 の構成図

【図 1 5】

同実施の形態の降圧回路 1 4 0 0 の構成図

【図 1 6】

本発明の（実施の形態 3）における昇圧電源回路の検知回路 3 0 3 の構成図

【図 1 7】

同実施の形態の降圧回路 1 4 0 0 の構成図

【符号の説明】

1 0 1 ダイチップ

1 0 2 論理回路

1 0 3 メモリー回路

1 0 4 昇圧電源回路

1 0 5 リードフレーム

1 0 6 ワイヤーボンド

1 0 7 I/O

1 0 8 接続用パッド

VDDM メモリー用電圧（第 2 の電圧）

VDDL 論理回路用電圧

VDD3 昇圧電源用電圧（第 1 の電圧）

VDDIO I/O用電圧

VSS グランド電圧

VPP 昇圧電圧

WL ワード線

BL ビット線

2 0 0 メモリセル

VCP セルプレート電圧

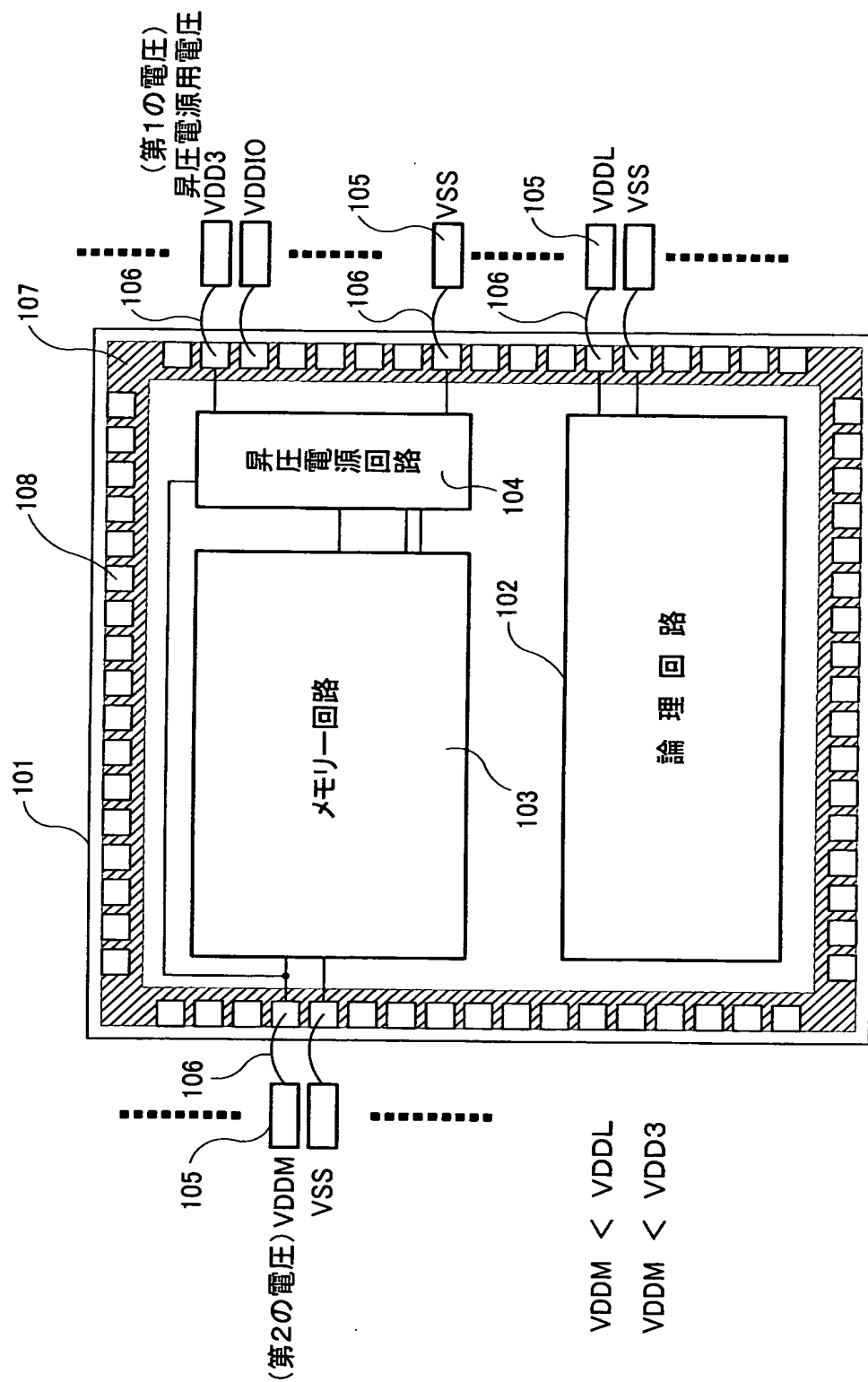
2 0 1 ワードドライバー

2 0 2 ロウデコーダー
2 0 3 アクセストランジスタ
2 0 4 キャパシタ
2 0 5 制御信号
3 0 1 メイン昇圧回路
3 0 2 サブ昇圧回路
3 0 3 検知回路
3 0 4 AND素子
ENVPPM メイン昇圧活性信号
ENVPPS サブ昇圧活性信号
NTESTVPP テストモード信号
ACTVPP メモリー活性信号
4 0 0 電圧変換回路
4 0 1 基準電圧発生回路
4 0 2 比較回路
4 0 3 インバーター
VINT 基準電圧
VPPMVT VPP依存電圧
NENVPP3 比較結果信号
5 0 1 タイミング発生回路
5 0 2 バッファブロック
5 0 3 チャージポンプ回路
MG1～4, M3G1～4 タイミング信号
6 0 0 Pチャネルトランジスタ
6 0 1 負荷
7 0 0 差動増幅回路
7 0 1 Pチャネルトランジスタ
7 0 2 抵抗素子群
7 0 3 フューズ素子

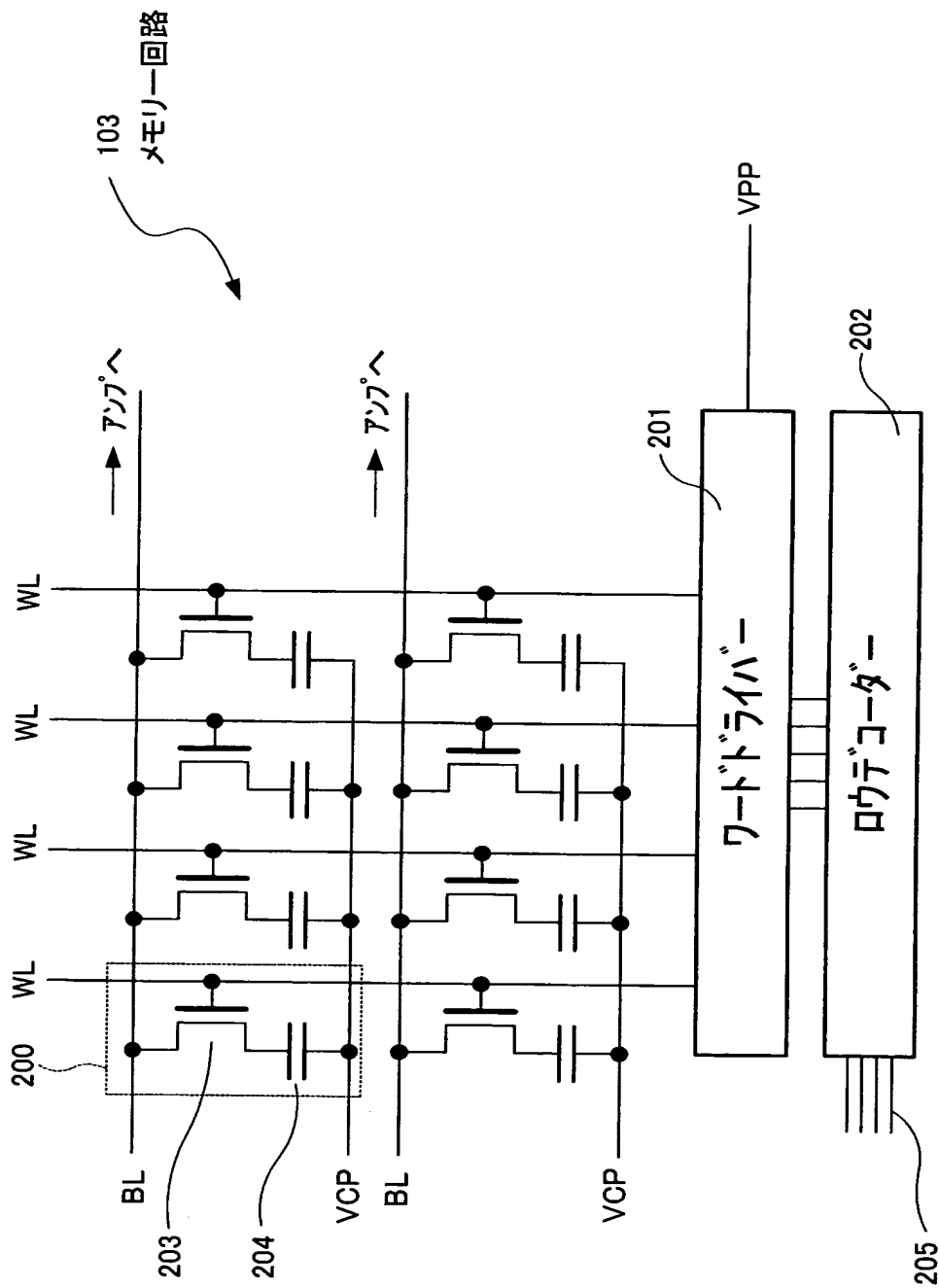
VREF リファレンス電圧
VINTREF VINT依存電圧
800, 801, 802 差動増幅回路
803, 804, 805 電流源
806 インバーター群
807 ノイズ防止回路
808, 809 Nチャネルトランジスタ
810 差動増幅回路の出力
900 ワンショット回路
901 オシレーター
902, 903, 904 Dフリップフロップ
905 クロック選択スイッチ部
PPTIM ポンピング周期信号
906～910 NOR素子
911, 916 インバーター
912～914 遅延素子
915 NAND素子
950 分周回路
1000 レベルシフタ付バッファ
1001 レベルシフタ
1002 インバーター群
1100～1113 Nチャネルトランジスタ
1500 Pチャネルトランジスタ
1600 Pチャネルトランジスタ
1601 オペアンプ

【書類名】 図面

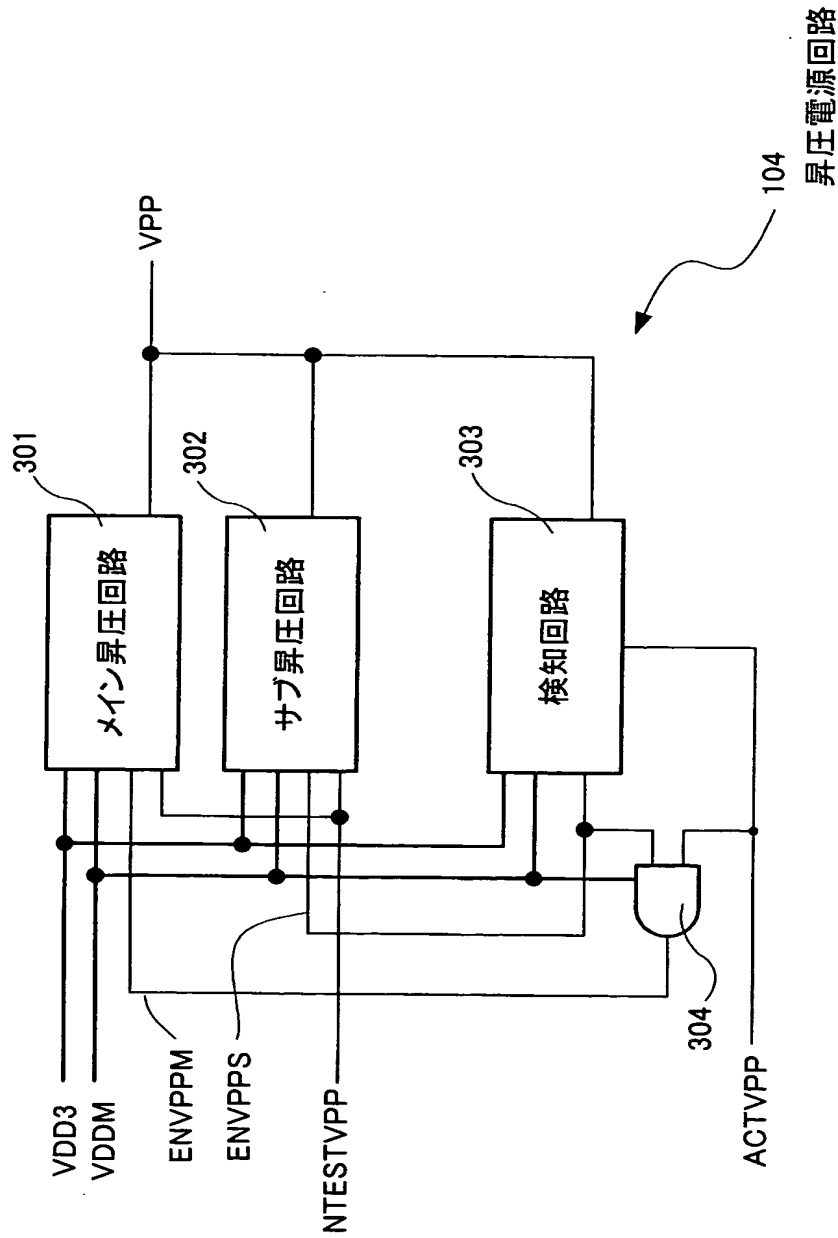
【図 1】



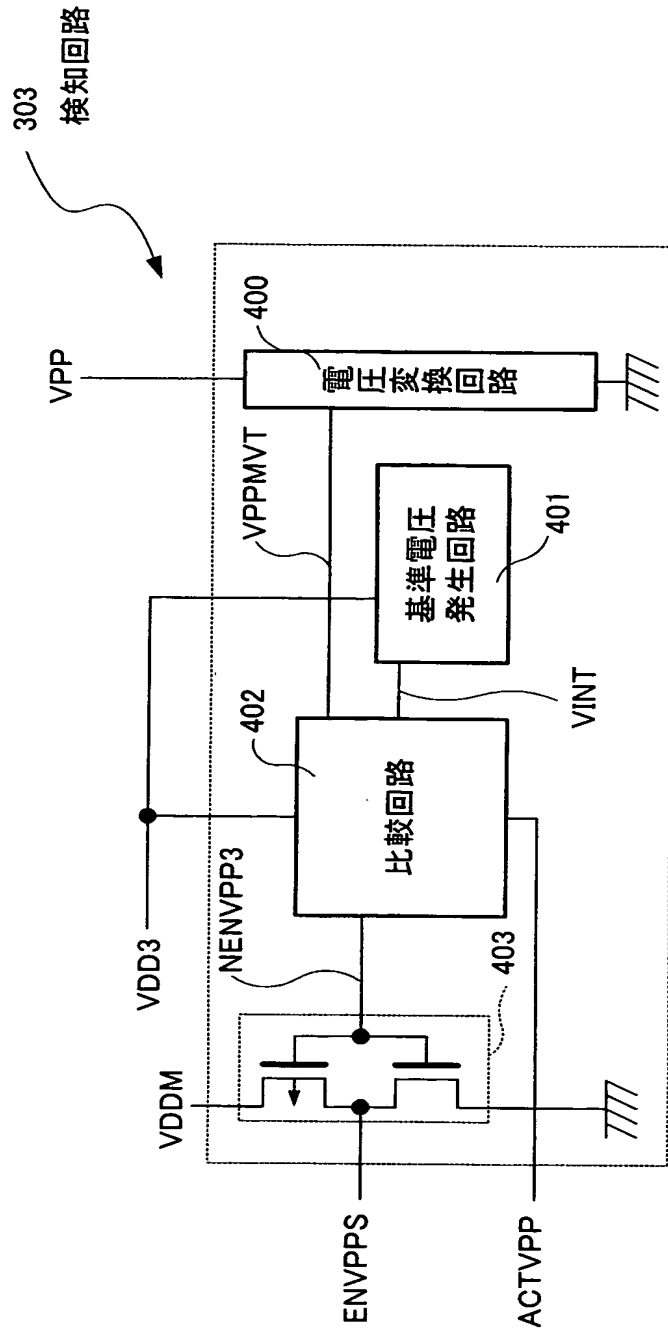
【図 2】



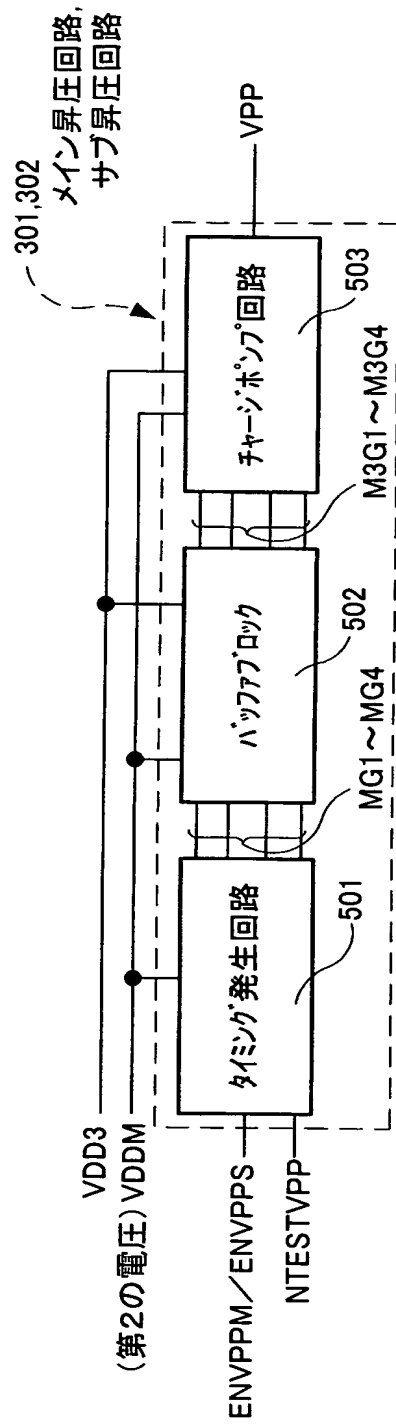
【図 3】



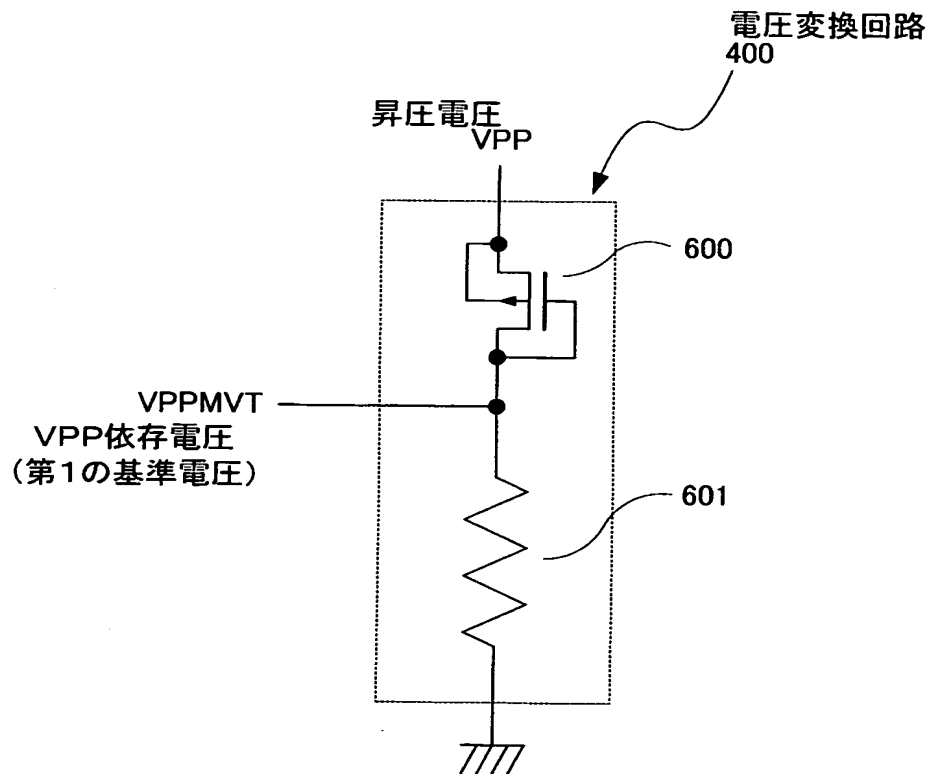
【図 4】



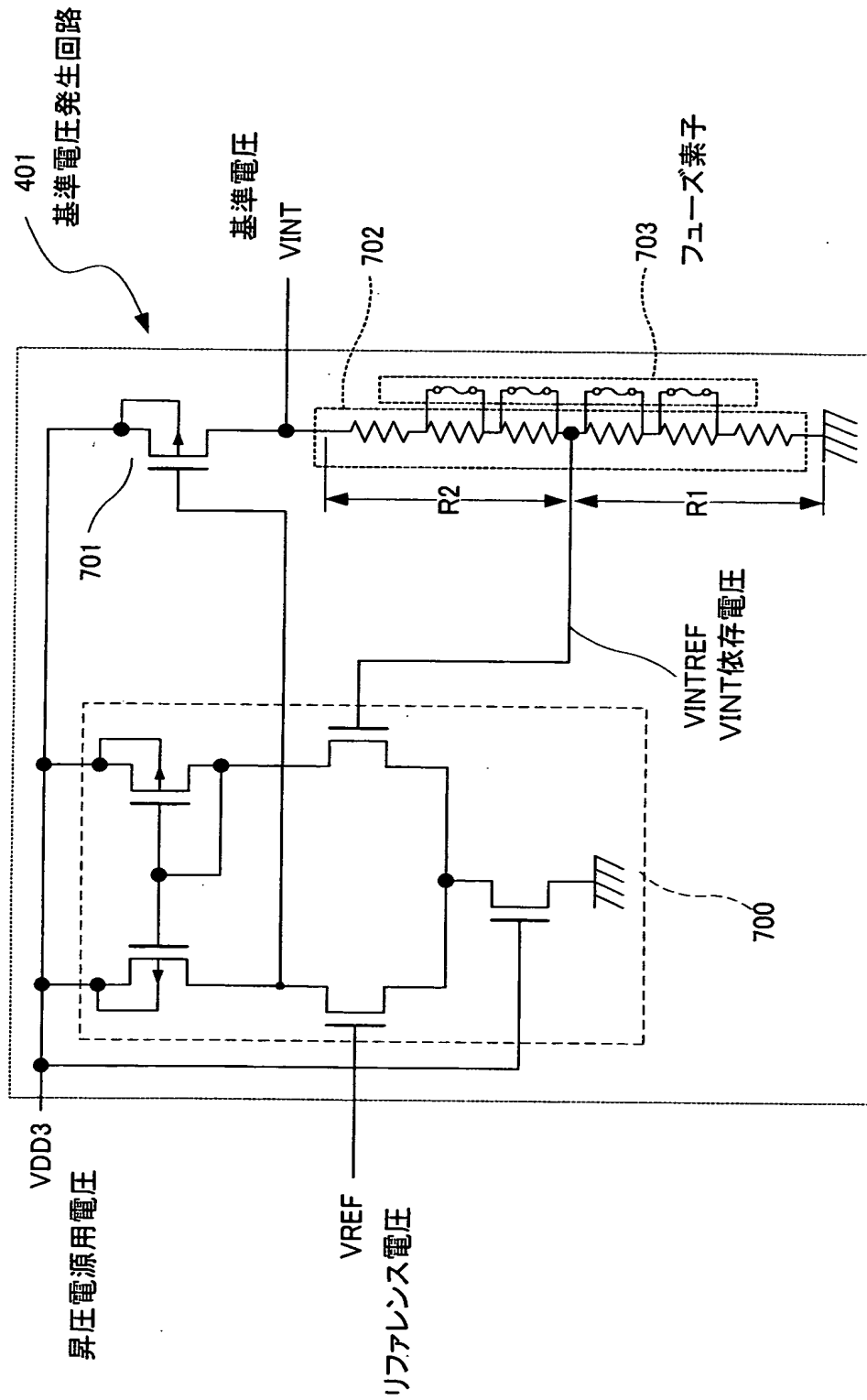
【図 5】



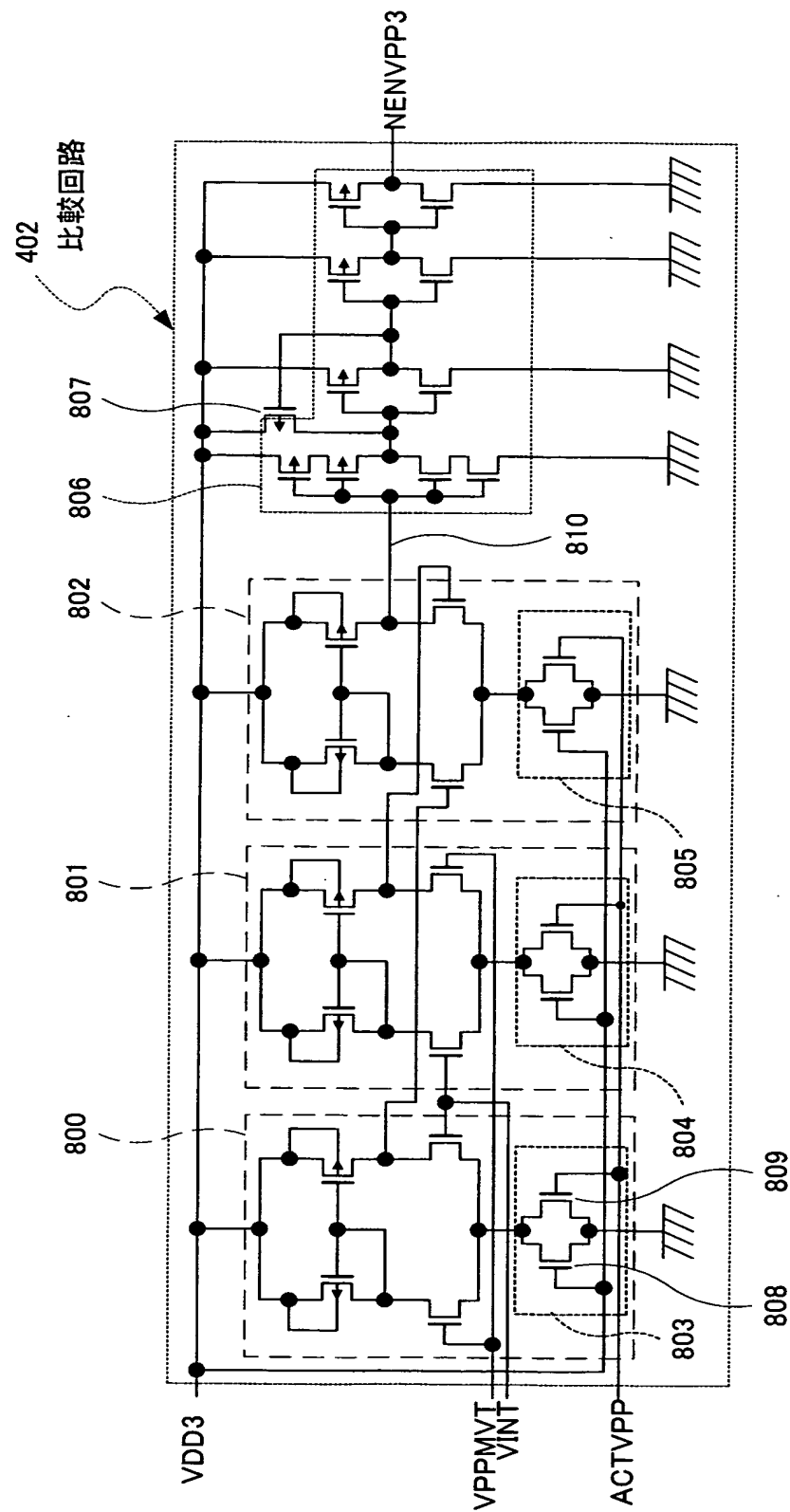
【図 6】



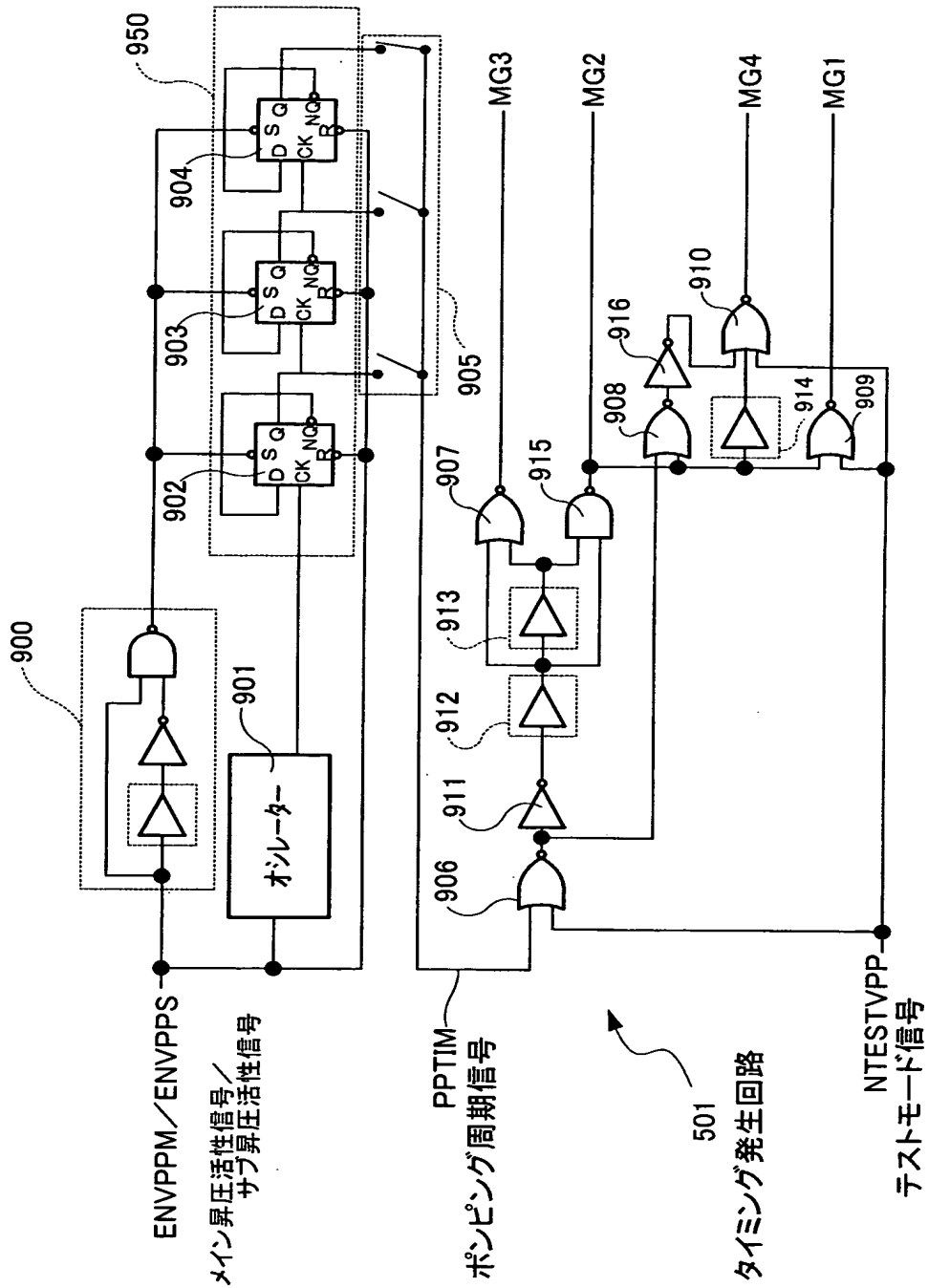
【図 7】



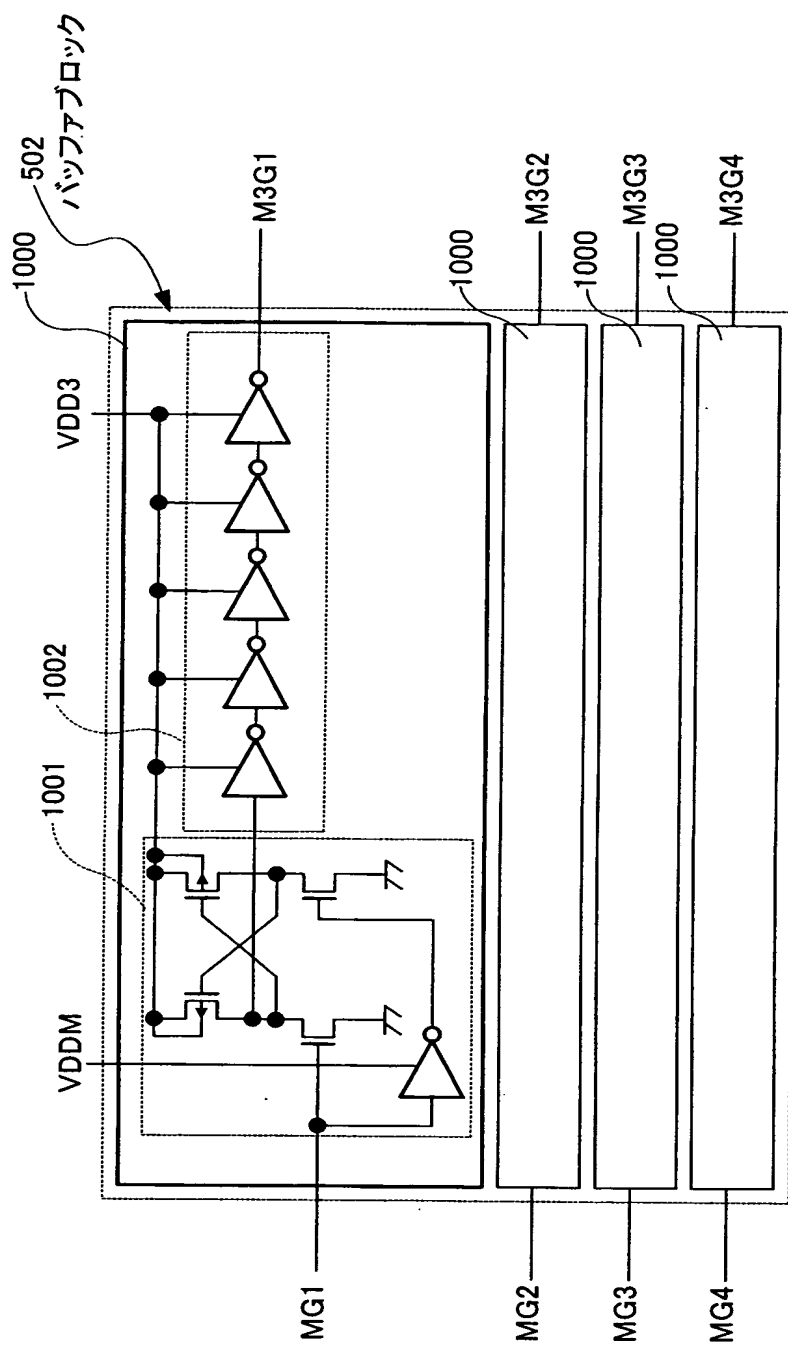
【図 8】



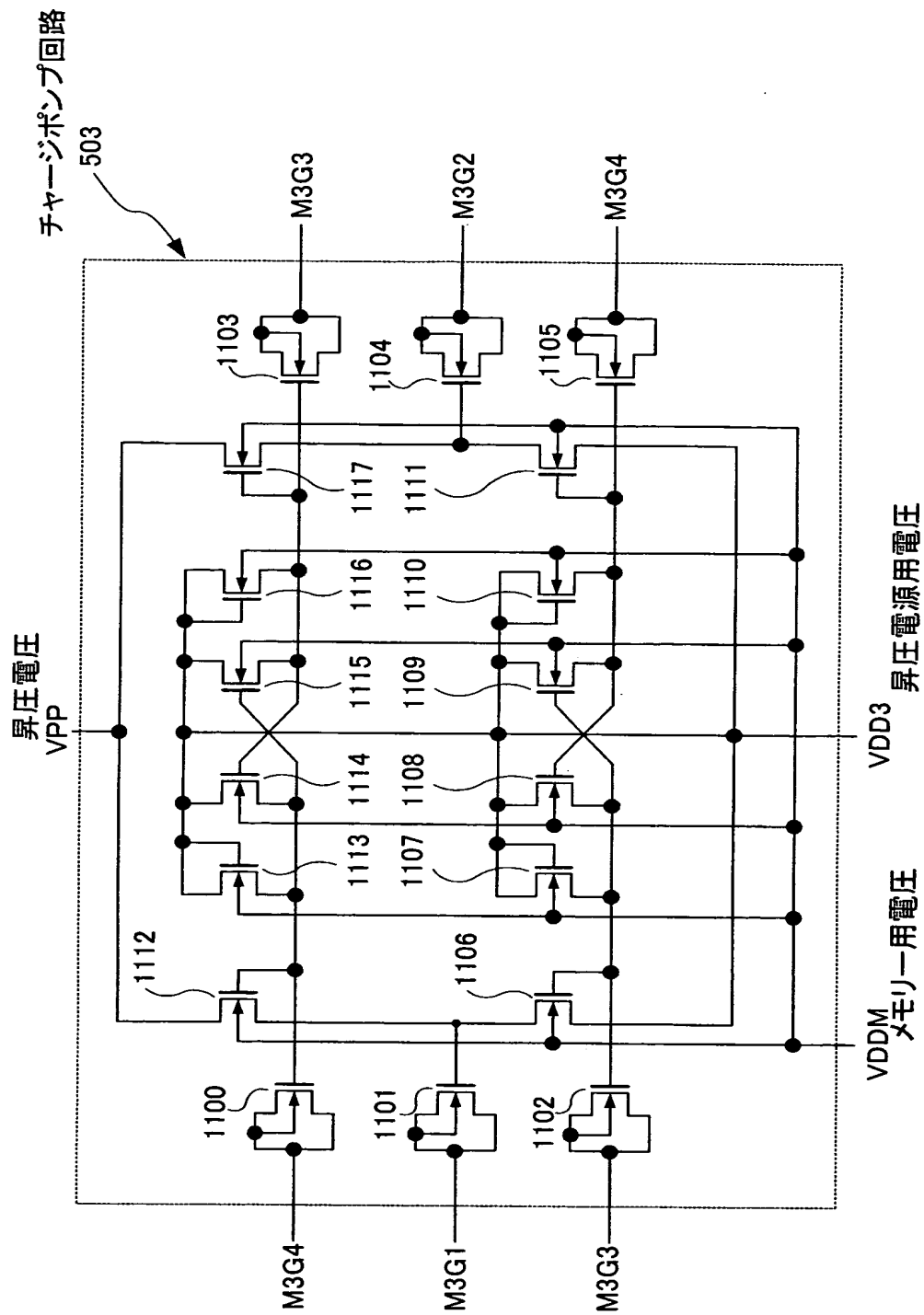
【図 9】



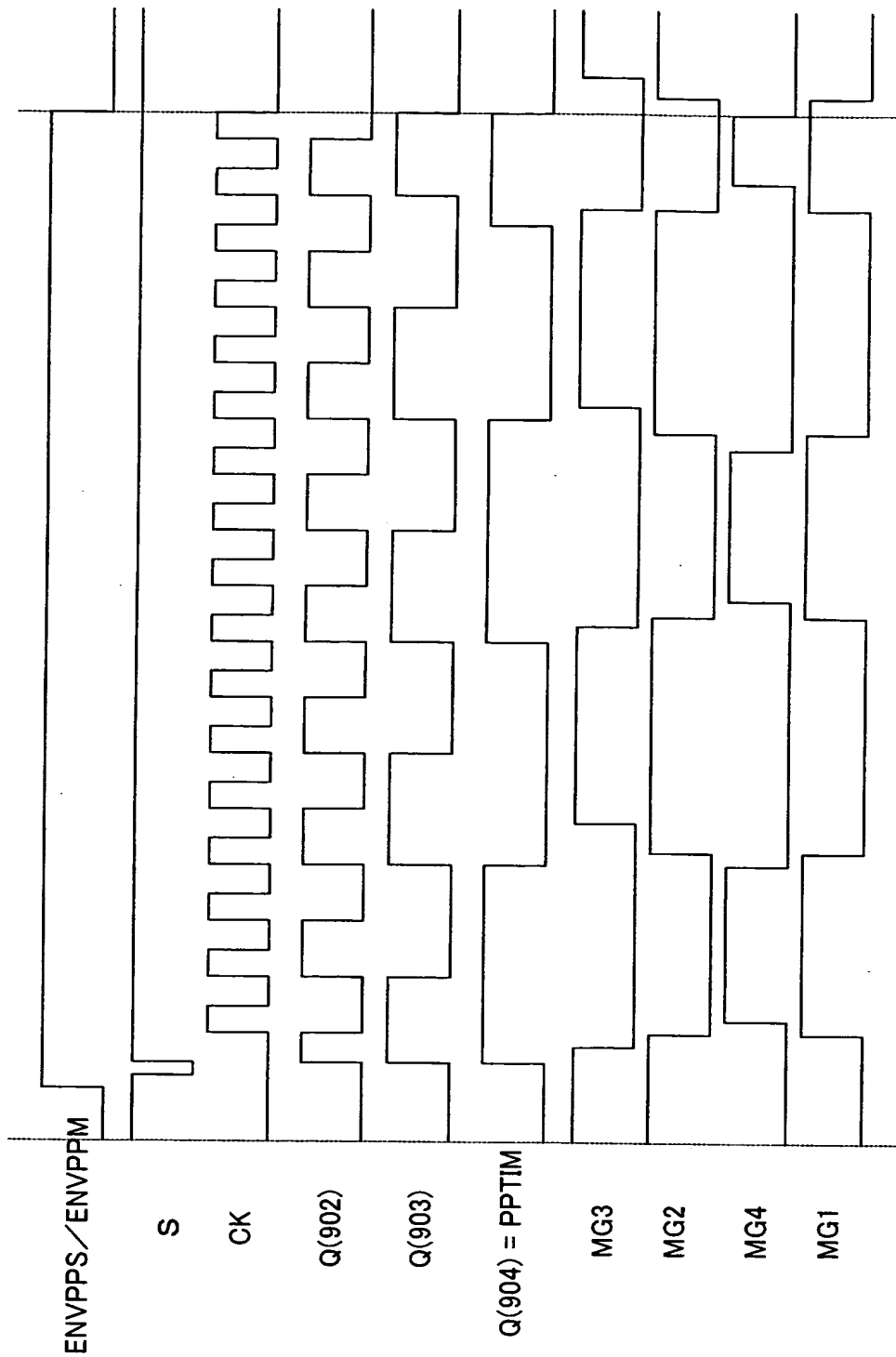
【図 10】



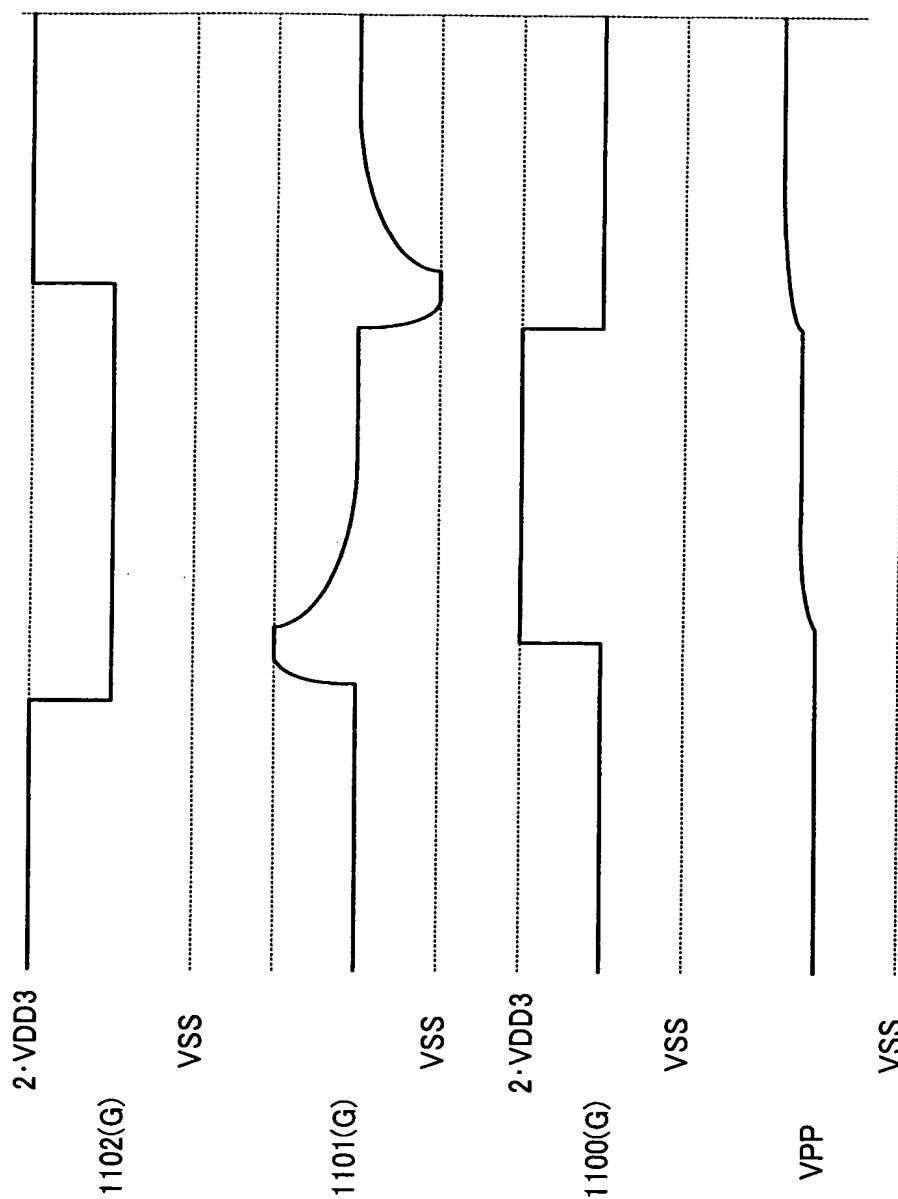
【図 11】



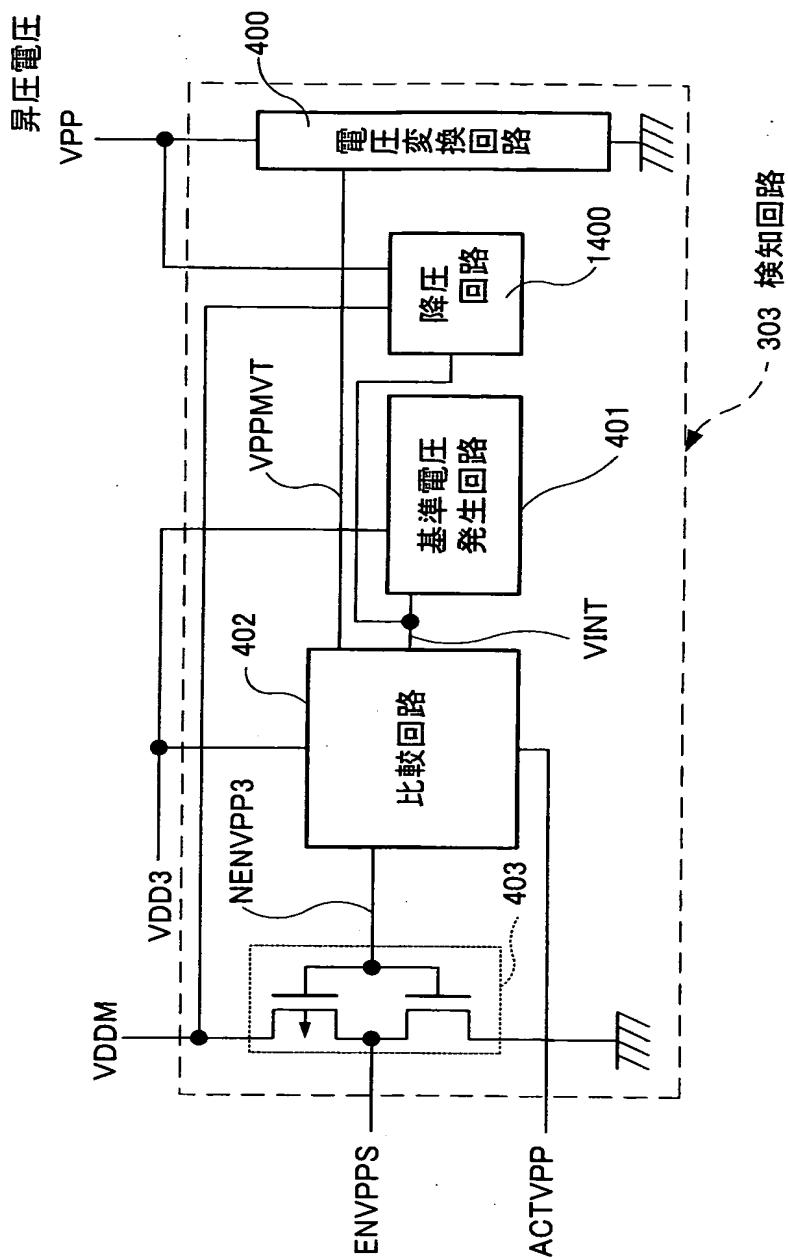
【図 12】



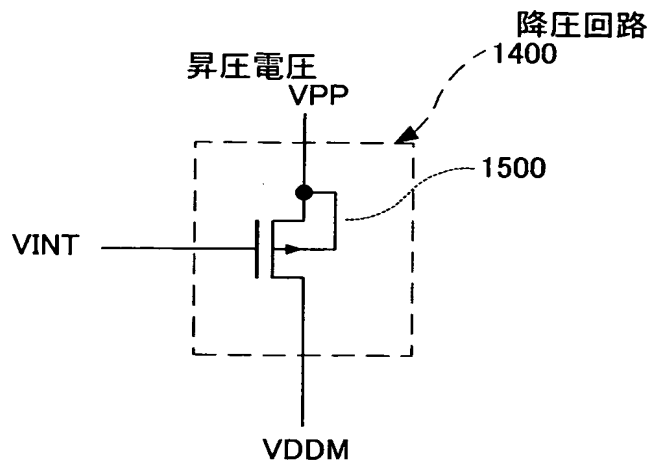
【図 13】



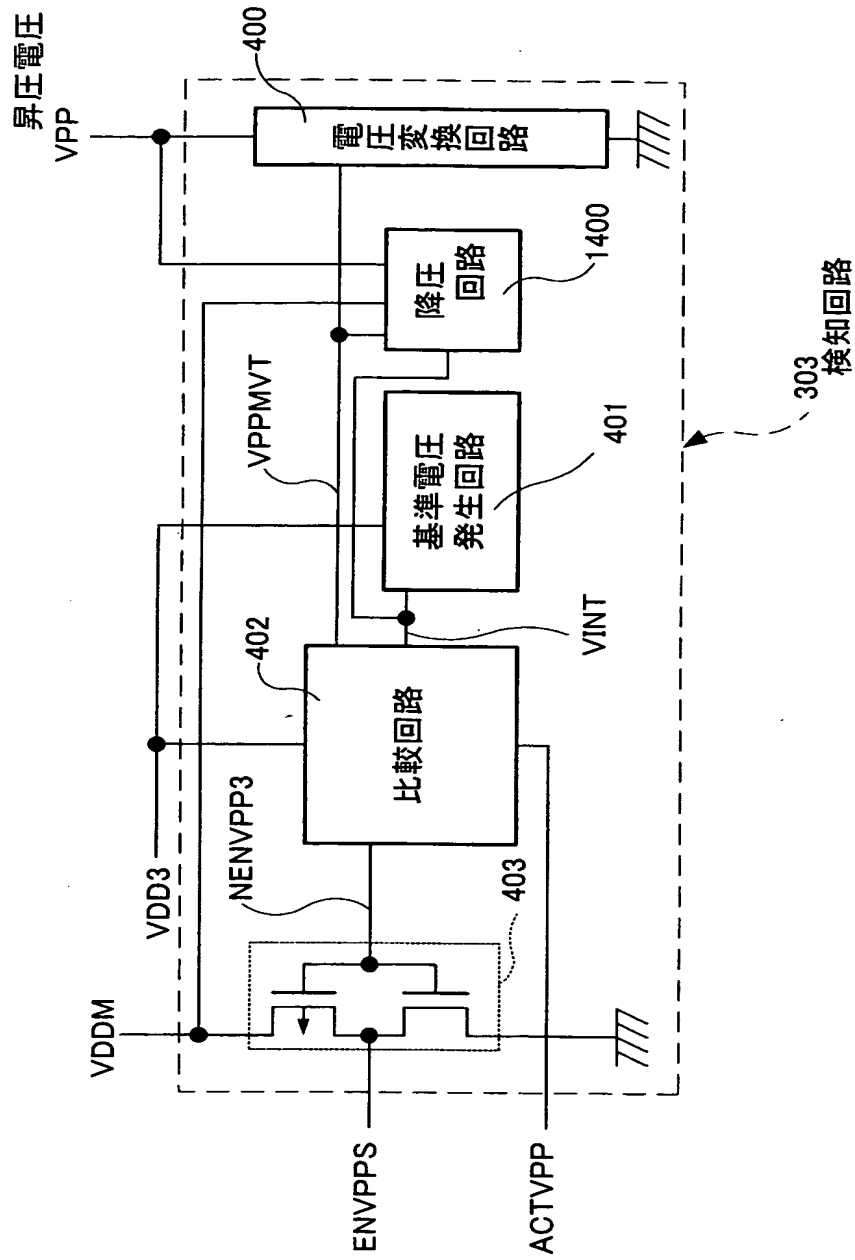
【図 14】



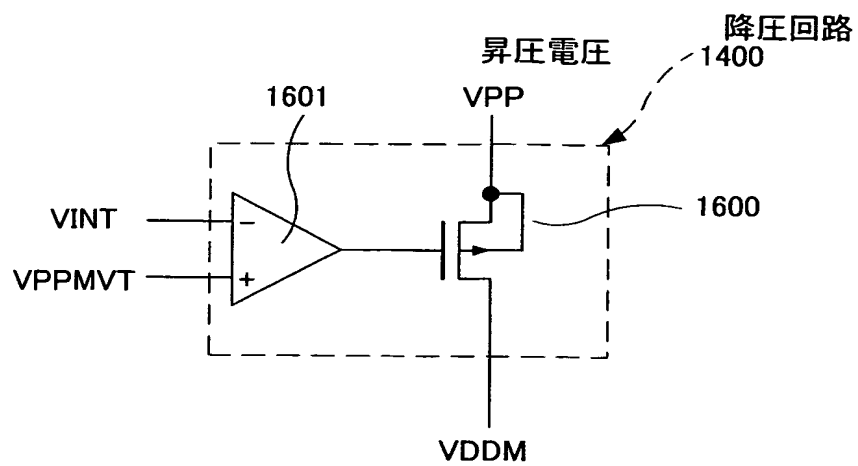
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 十分な電圧供給能力を有しながら、回路面積を増大させない昇圧電源回路を実現することを目的とする。

【解決手段】 昇圧回路 3 0 1, 3 0 2 は、第 1 の電圧 V_{DD3} と第 2 の電圧 V_{DDM} を用いて、第 2 の電圧よりも高い第 1 の電圧 V_{DD3} を昇圧して昇圧電圧 V_{PP} を発生するので、第 2 の電圧だけを用いてこれを昇圧している構成に比べて、効率の向上を期待できる。検知回路 3 0 3 は、昇圧電圧 V_{PP} を検知して昇圧回路 3 0 1, 3 0 2 を制御する。

【選択図】 図 3

特願 2 0 0 3 - 1 1 2 2 4 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社